

# Informatyka 1

---

Politechnika Białostocka - Wydział Elektryczny  
Elektrotechnika, semestr II, studia stacjonarne I stopnia  
Rok akademicki 2017/2018

**Wykład nr 5 (21.05.2018)**

dr inż. Jarosław Forenc

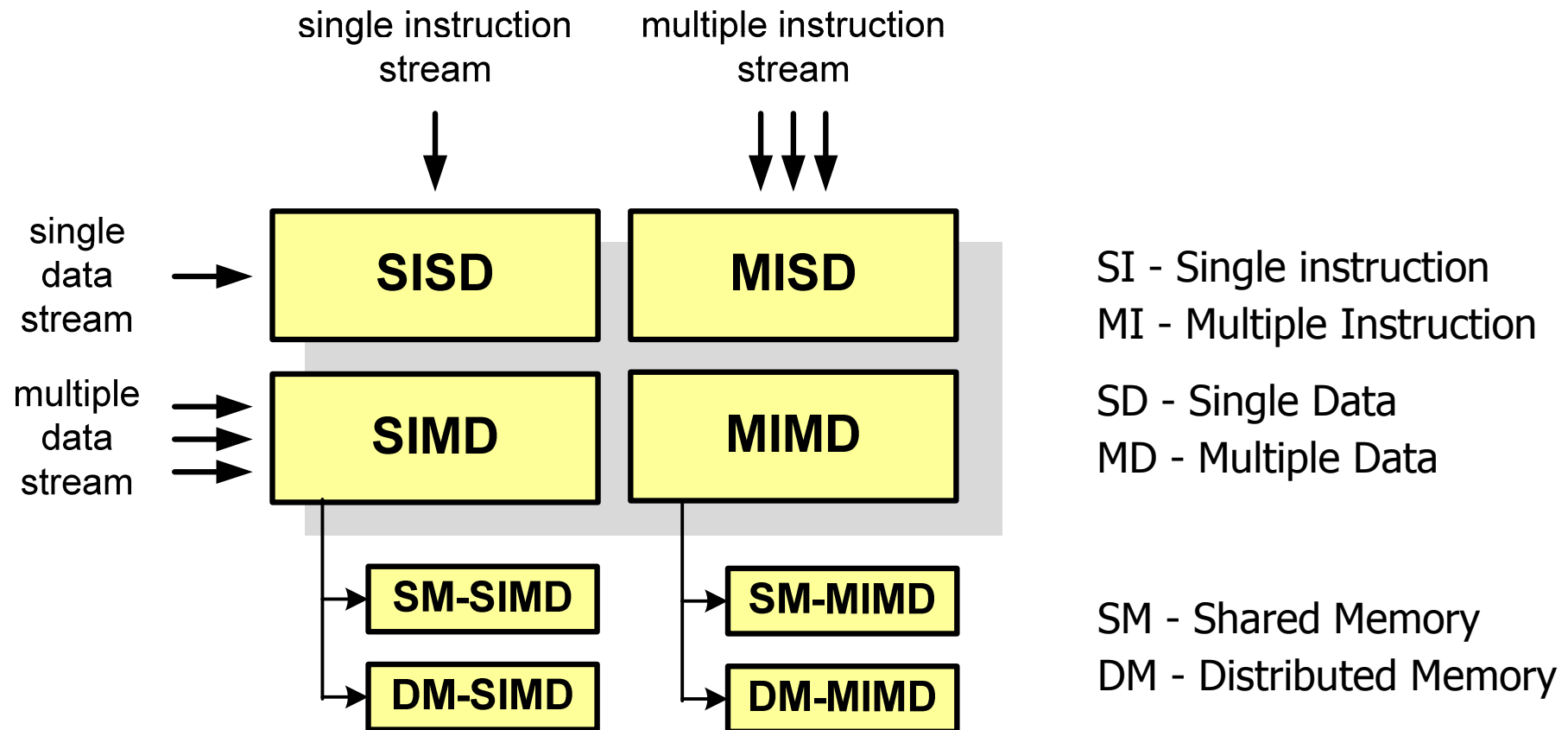
## Plan wykładu nr 5

- Klasyfikacja systemów komputerowych (Flynna)
- Architektura von Neumanna i architektura harwardzka
- Budowa komputera
  - jednostka centralna, płyta główna, procesory
  - moduły pamięci , obudowa (AT, ATX)
  - interfejsy wewnętrzne

# Klasyfikacja systemów komputerowych

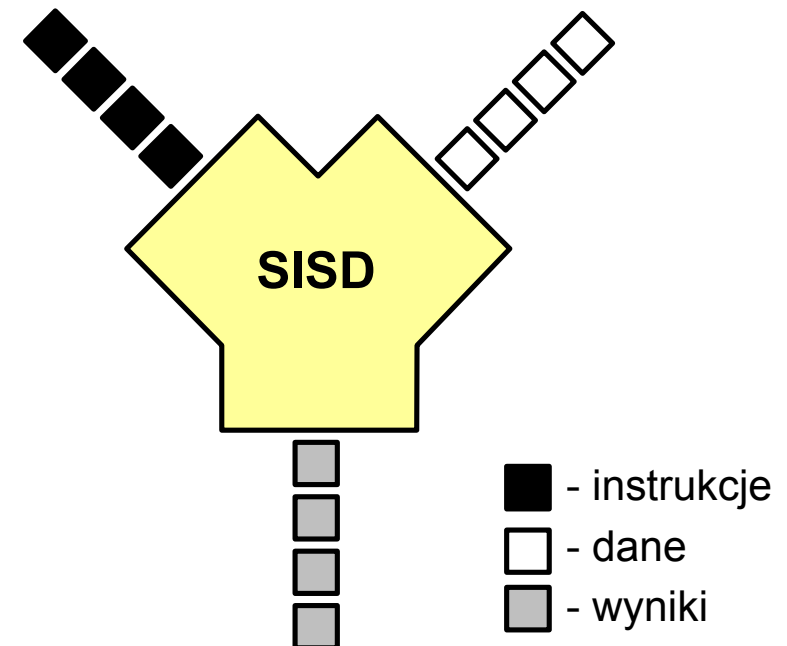
- **Taksonomia Flynna** - pierwsza, najbardziej ogólna klasyfikacja architektur komputerowych (1972):
  - Flynn M.J.: „Some Computer Organizations and Their Effectiveness”, IEEE Transactions on Computers, Vol. C-21, No 9, 1972.
- Opiera się na liczbie przetwarzanych strumieni rozkazów i strumieni danych:
  - **strumień rozkazów** (Instruction Stream) - odpowiednik licznika rozkazów; system złożony z  $n$  procesorów posiada  $n$  liczników rozkazów, a więc  $n$  strumieni rozkazów
  - **strumień danych** (Data Stream) - zbiór operandów, np. system rejestrujący temperaturę mierzoną przez  $n$  czujników posiada  $n$  strumieni danych

# Taksonomia Flynna



## SISD (Single Instruction, Single Data)

- Jeden wykonywany program przetwarza jeden strumień danych
- Klasyczne komputery zbudowane według architektury von Neumanna
- Zawierają:
  - jeden procesor
  - jeden blok pamięci operacyjnej zawierający wykonywany program.



## SISD (Single Instruction, Single Data)

Komputer  
IBM PC/AT



Komputer  
PC



Komputer  
PC

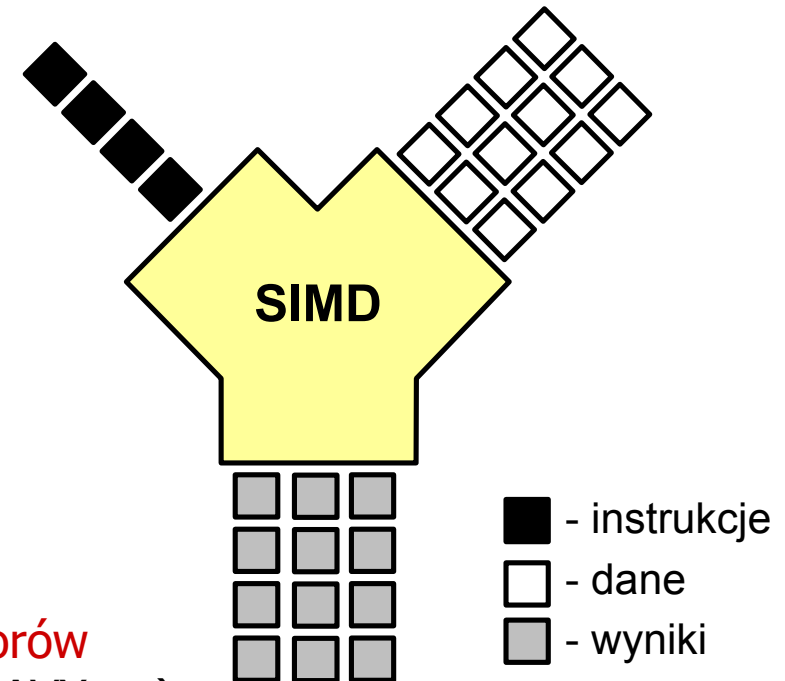


Laptop



## SIMD (Single Instruction, Multiple Data)

- Jeden wykonywany program przetwarza wiele strumieni danych
- Te same operacje wykonywane są na różnych danych
- Podział:
  - SM-SIMD (Shared Memory SIMD):
    - komputery wektorowe
    - rozszerzenia strumieniowe procesorów (MMX, 3DNow!, SSE, SSE2, SSE3, AVX, ...)
  - DM-SIMD (Distributed Memory SIMD):
    - tablice procesorów
    - procesory kart graficznych (GPGPU)



## SM-SIMD - Komputery wektorowe

CDC  
Cyber 205  
(1981)



Cray-1  
(1976)



Cray-2  
(1985)



Hitachi  
S3600  
(1994)



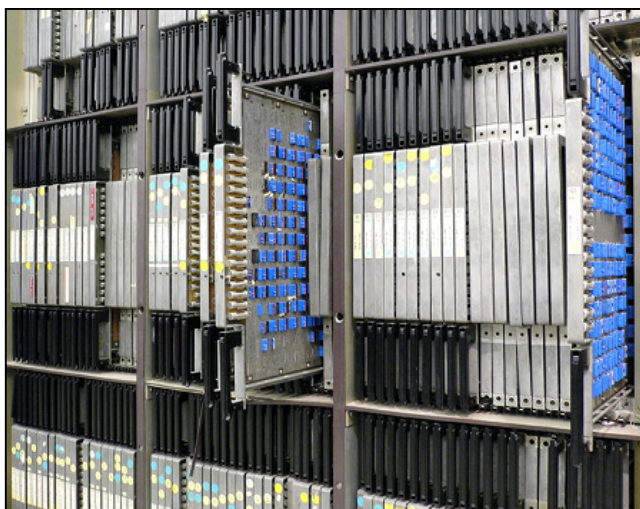


## DM-SIMD - Tablice procesorów

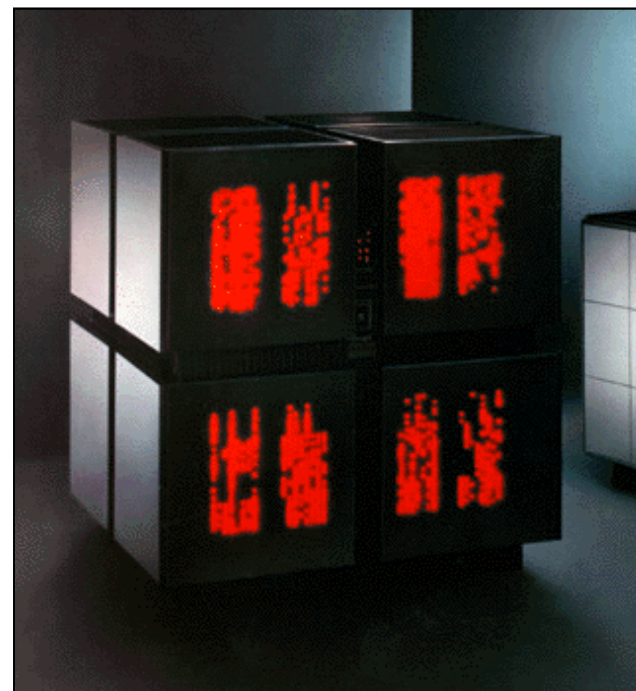
Illiack IV  
(1976)



Illiack IV  
(1976)



MasPar  
MP-1/MP-2  
(1990)



Thinking  
Machines  
CM-2  
(1987)

## DM-SIMD - Procesory graficzne (GPU)

Nvidia  
GeForce  
GTX Titan X



Nvidia  
Tesla V100



Nvidia  
DGX-1 Volta

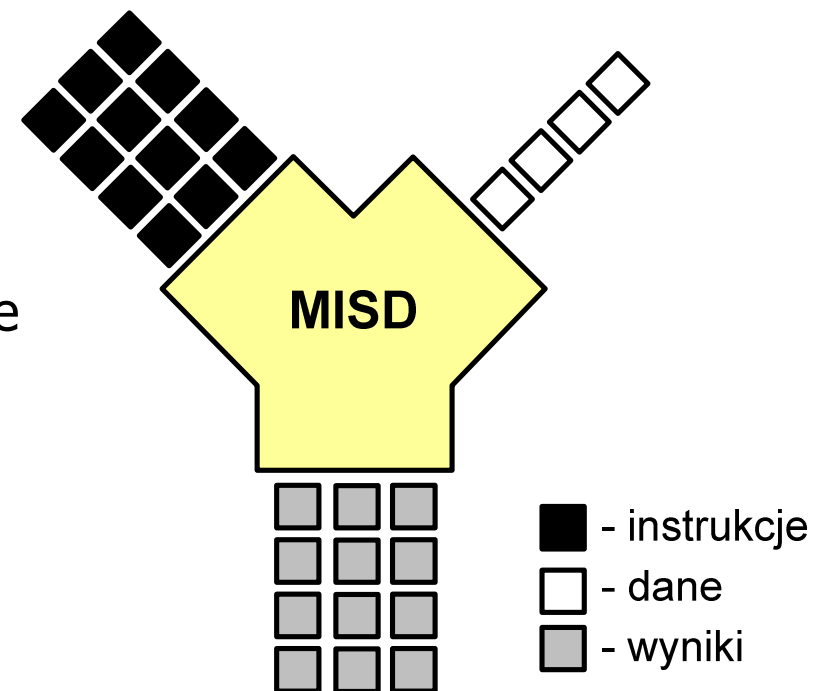


Nvidia  
Tesla D870



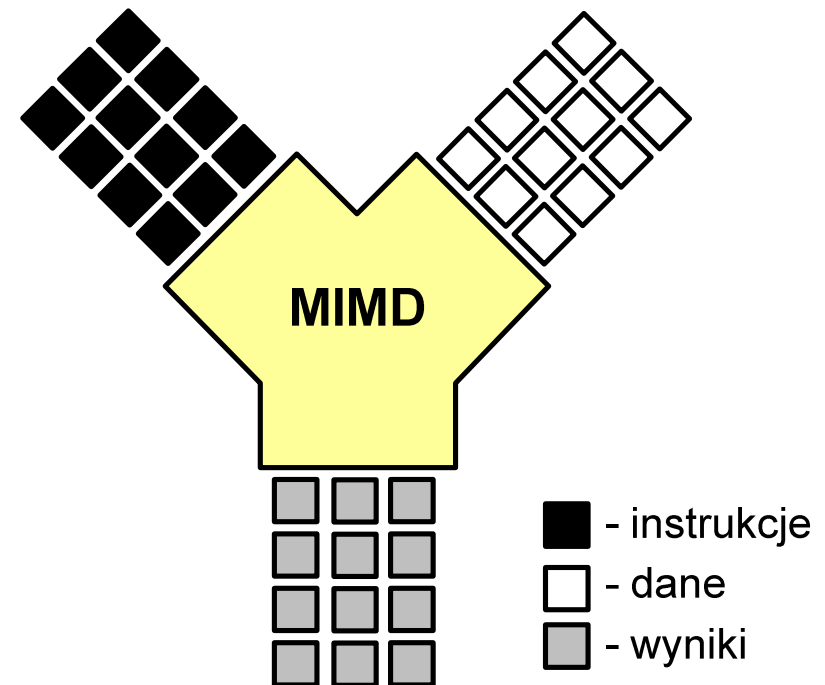
## MISD (Multiple Instruction, Single Data)

- Wiele równoległe wykonywanych programów przetwarza jednocześnie jeden wspólny strumień danych
- Systemy tego typu nie są spotykane



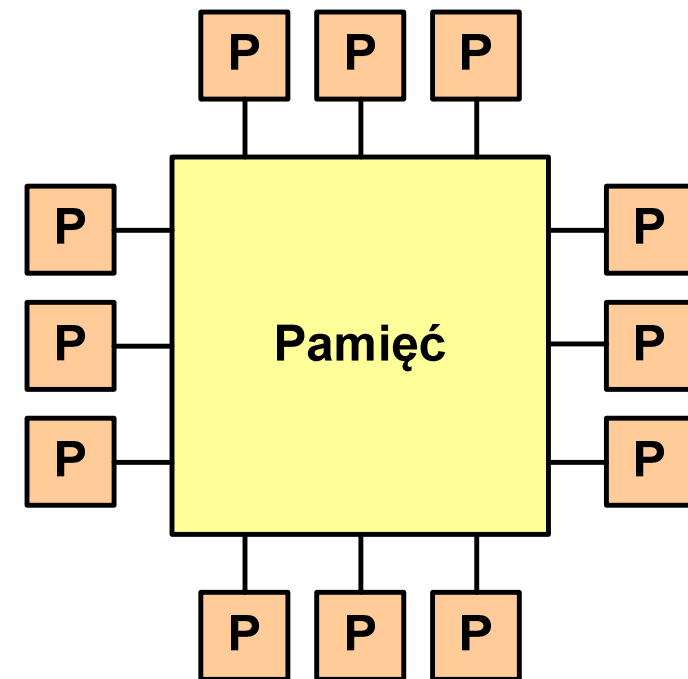
## MIMD (Multiple Instruction, Multiple Data)

- Równoległe wykonywanych jest wiele programów, z których każdy przetwarza własne strumienie danych
- Podział:
  - SM-MIMD (Shared Memory):
    - wieloprocesory
  - DM-MIMD (Distributed Memory):
    - wielokomputery
    - klastry
    - gridy



## SM-MIMD - Wieloprocесory

- Systemy z niezbyt dużą liczbą działających niezależnie procesorów
- Każdy procesor ma dostęp do wspólnej przestrzeni adresowej pamięci
- Komunikacja procesorów poprzez uzgodniony obszar wspólnej pamięci
- Do SM-MIMD należą komputery z **procesorami wielordzeniowymi**



**P** - procesor

## SM-MIMD - Wieloprocесory

Cray YM-P  
(1988)



Cray  
CS6400  
(1993)

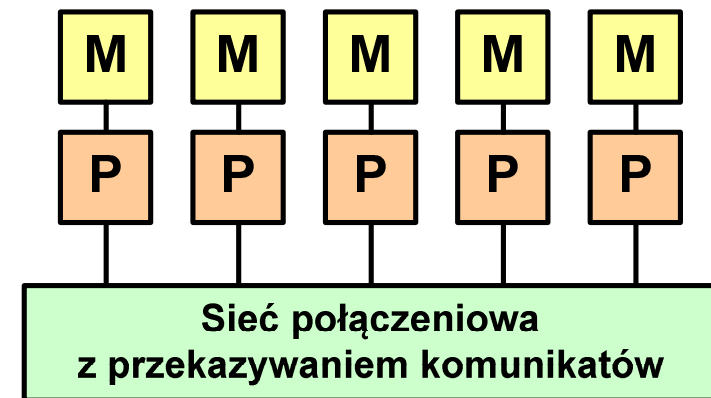


Cray J90  
(1994)



## DM-MIMD - Wielokomputery

- Każdy procesor wyposażony jest we własną pamięć operacyjną, niedostępną dla innych procesorów
- Komunikacja między procesorami odbywa się za pomocą sieci poprzez przesyłanie komunikatów
- Biblioteki komunikacyjne:
  - **MPI** (Message Passing Interface)
  - **PVM** (Parallel Virtual Machine)



**P** - procesor

**M** - prywatna pamięć procesora

## DM-MIMD - Wielokomputery

Cray T3E  
(1995)



nCube 2s  
(1993)



Thinking  
Machines  
CM-5  
(1991)

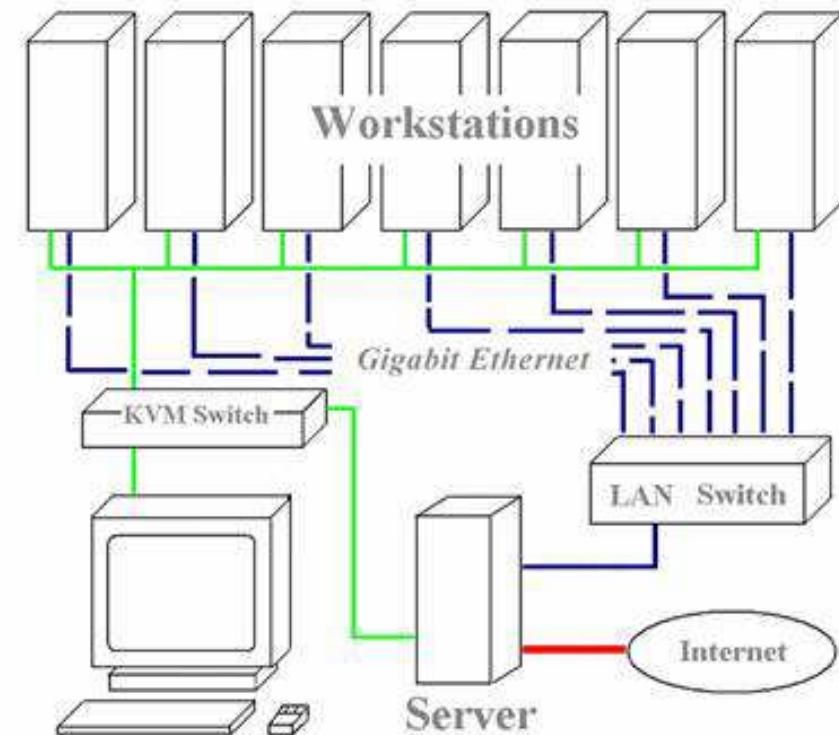


Meiko  
CS-2  
(1993)



## DM-MIMD - Klastry

- **Klaster** (cluster):
  - równoległy lub rozproszonego system składający się z komputerów
  - komputery połączone są siecią
  - używany jest jako pojedynczy, zintegrowany zespół obliczeniowy
- **Węzeł** (node) - pojedynczy komputer przyłączony do klastra i wykonujący zadania obliczeniowe



źródło:

[http://leda.elfak.ni.ac.rs/projects/SeeGrid/see\\_grid.htm](http://leda.elfak.ni.ac.rs/projects/SeeGrid/see_grid.htm)

KVM - Keyboard, Video, Mouse

## DM-MIMD - Klastry

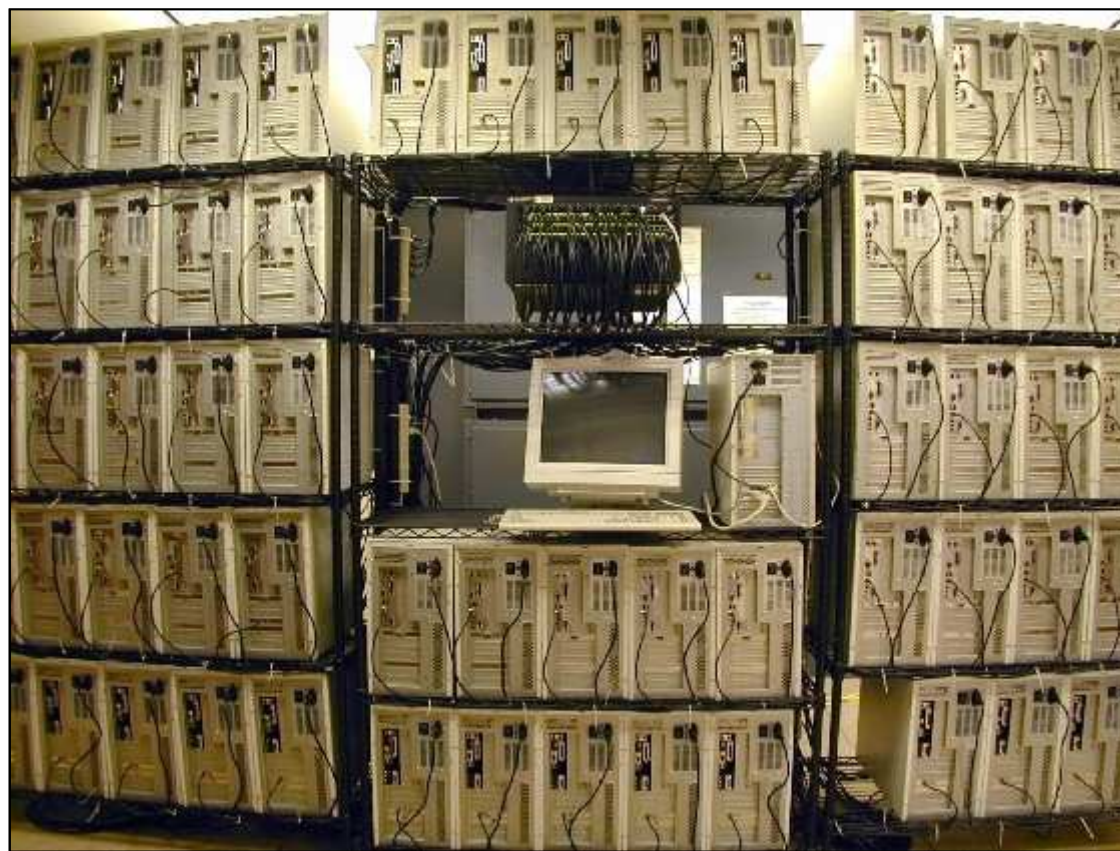
- Klastry Beowulf budowane były ze zwykłych komputerów PC



Odin II Beowulf Cluster Layout, University of Chicago, USA

## DM-MIMD - Klastry

- Klastry Beowulf budowane były ze zwykłych komputerów PC



NASA 128-processor Beowulf cluster: A cluster built from 64 ordinary PC's

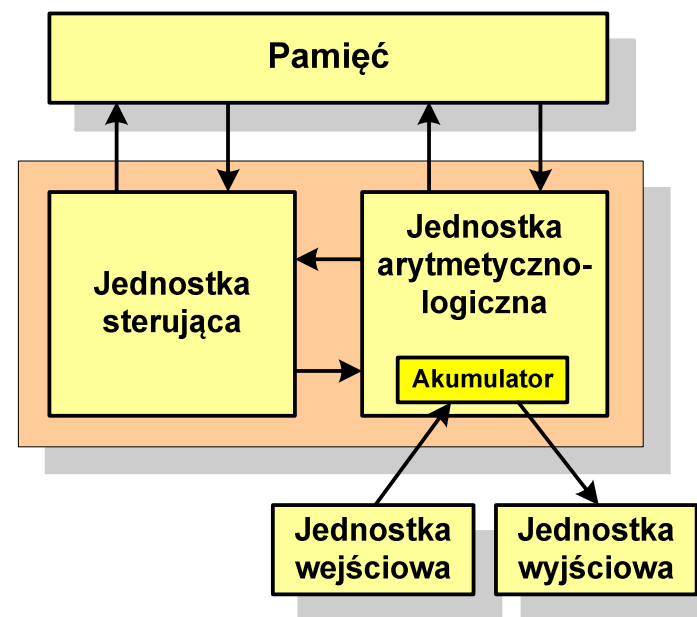
## DM-MIMD - Klastry



Early Aspen Systems Beowulf Cluster With RAID

## Architektura von Neumanna

- Rodzaj architektury komputera, opisanej w 1945 roku przez matematyka Johna von Neumanna
- Inne spotykane nazwy: **architektura z Princeton**, **store-program computer** (koncepcja przechowywanego programu)
- Zakłada podział komputera na kilka części:
  - **jednostka sterująca** (CU - Control Unit)
  - **jednostka arytmetyczno-logiczna** (ALU - Arithmetic Logic Unit)
  - **pamięć główna** (memory)
  - **urządzenia wejścia-wyjścia** (input/output)

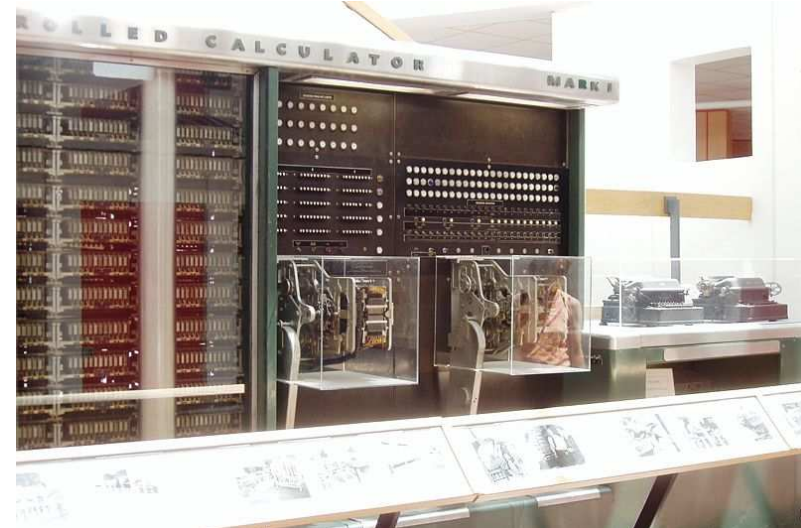
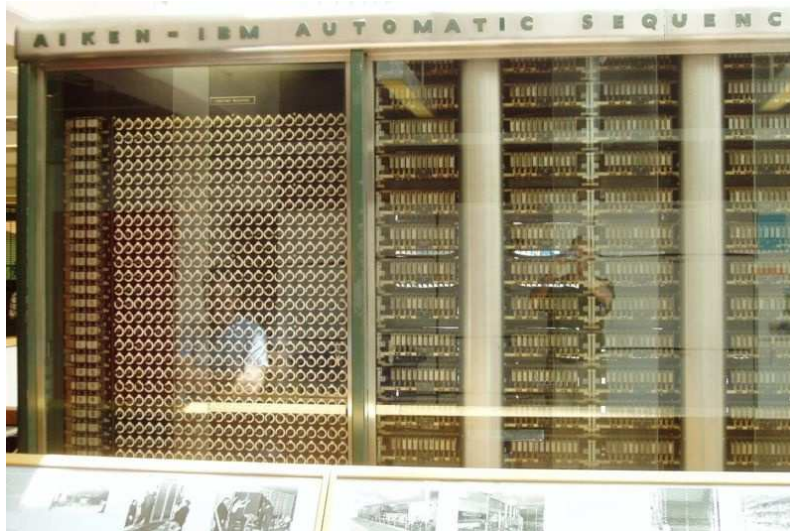


## Architektura von Neumanna - podstawowe cechy

- Informacje przechowywane są w komórkach pamięci (**cell**) o jednakowym rozmiarze, każda komórka ma numer - **adres**
- **Dane oraz instrukcje programu (rozkazy) zakodowane są za pomocą liczb i przechowywane w tej samej pamięci**
- Praca komputera to sekwencyjne odczytywanie instrukcji z pamięci komputera i ich wykonywanie w procesorze
- Wykonanie rozkazu:
  - pobranie z pamięci słowa będącego kodem instrukcji
  - pobranie z pamięci danych
  - wykonanie instrukcji
  - zapisanie wyników do pamięci
- Dane i instrukcje czytane są przy wykorzystaniu **tej samej magistrali**

## Architektura harwardzka

- Architektura komputera, w której **pamięć danych jest oddzielona od pamięci instrukcji**
- Nazwa architektury pochodzi komputera **Harward Mark I:**
  - zaprojektowany przez Howarda Aikena
  - pamięć instrukcji - taśma dziurkowana, pamięć danych - elektromechaniczne liczniki



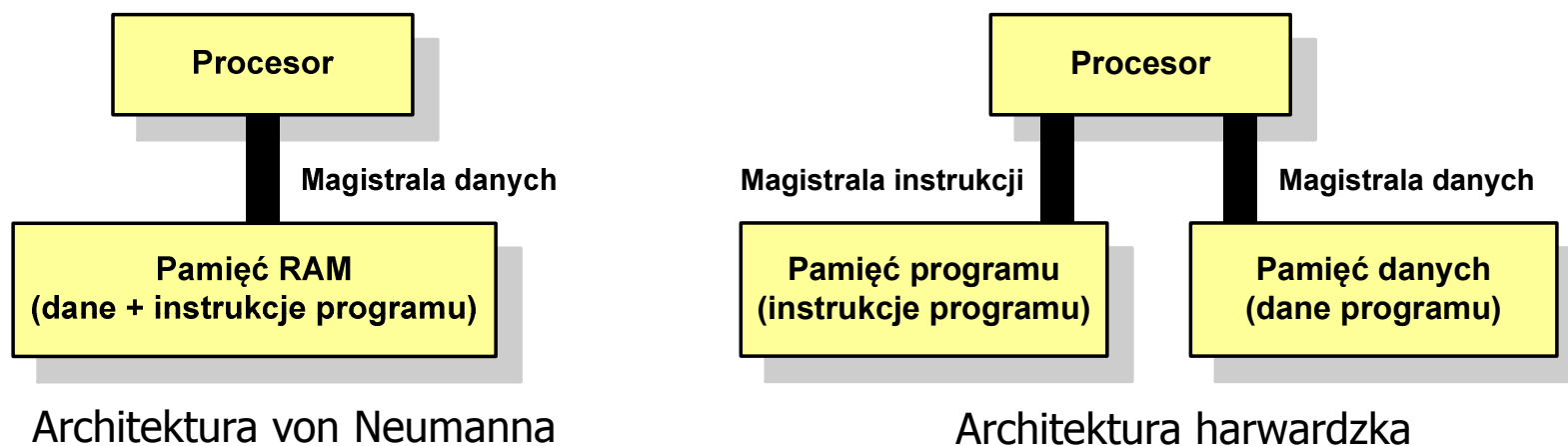
## Architektura harwardzka

- Pamięci danych i instrukcji mogą różnić się:
  - technologią wykonania
  - strukturą adresowania
  - długością słowa
- Przykład:
  - ATmega16 - 16 kB Flash, 1 kB SRAM, 512 B EEPROM
- Procesor może w tym samym czasie czytać instrukcje oraz uzyskiwać dostęp do danych



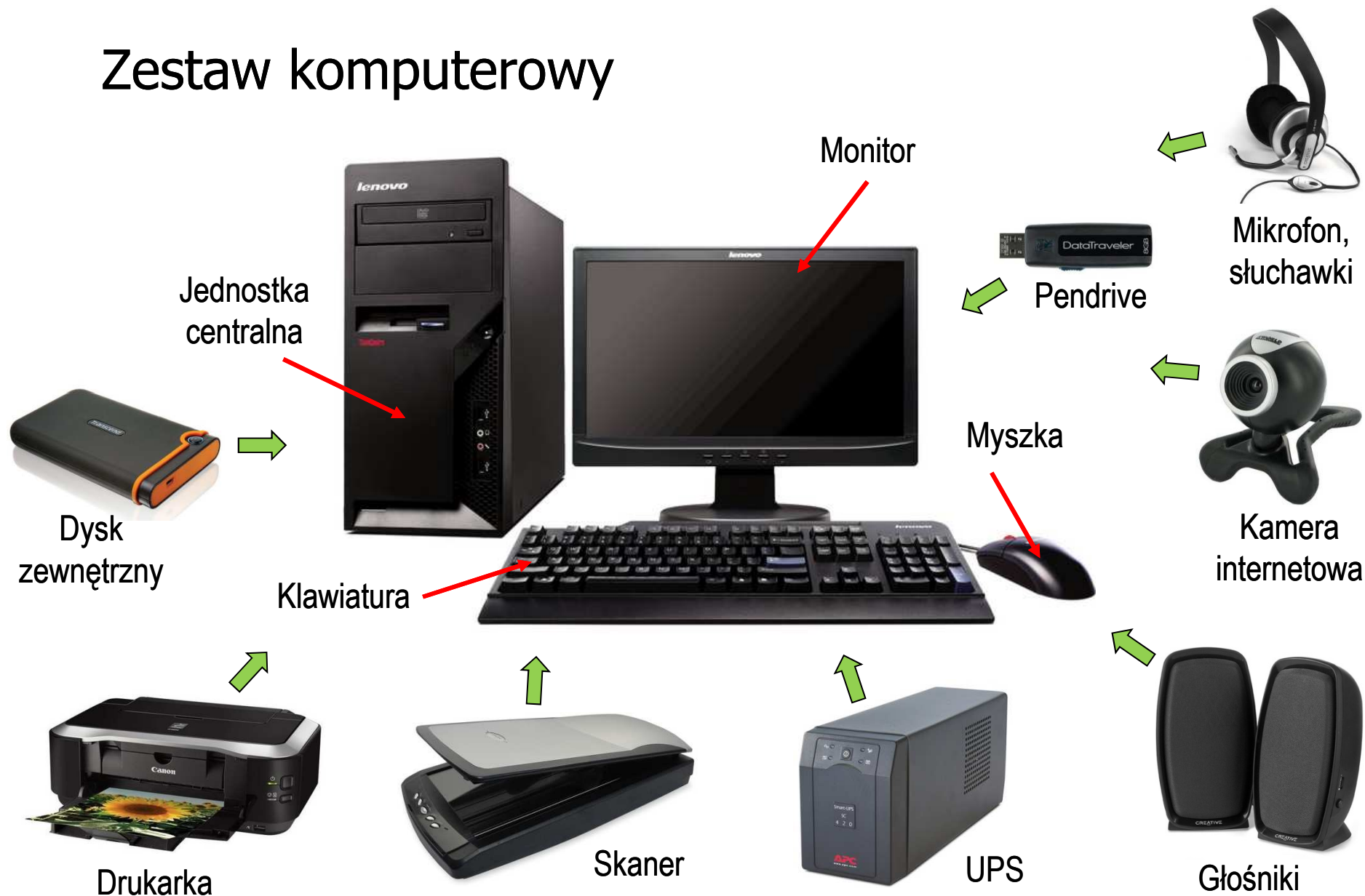
## Architektura harwardzka i von Neumanna

- W architekturze harwardzkiej pamięć instrukcji i pamięć danych:
  - zajmują różne przestrzenie adresowe
  - mają oddzielne szyny (magistrale) do procesora
  - zaimplementowane są w inny sposób

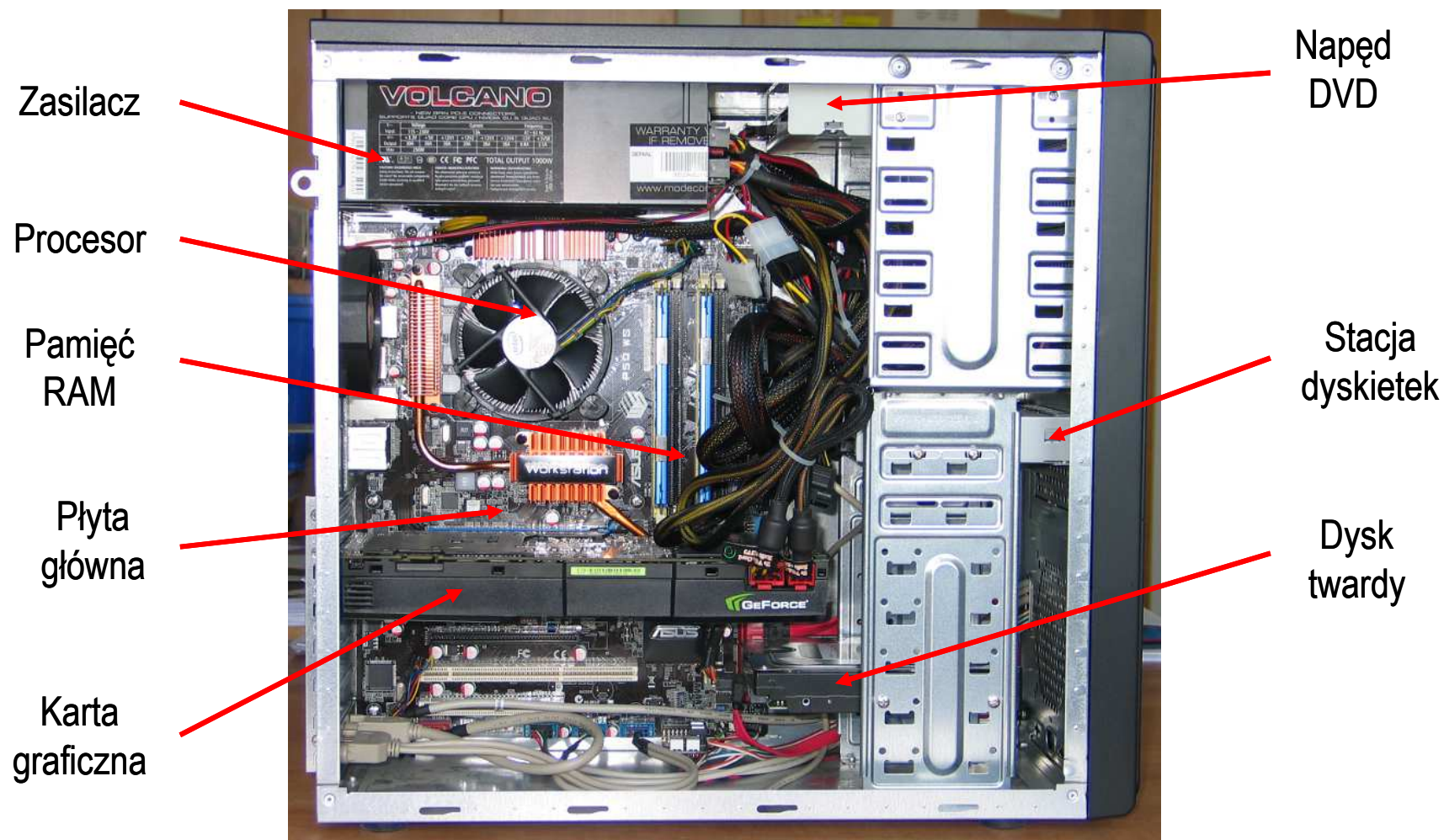


- Zmodyfikowana architektura harwardzka:
  - oddzielone pamięci danych i rozkazów, lecz wykorzystujące wspólną magistralę

# Zestaw komputerowy



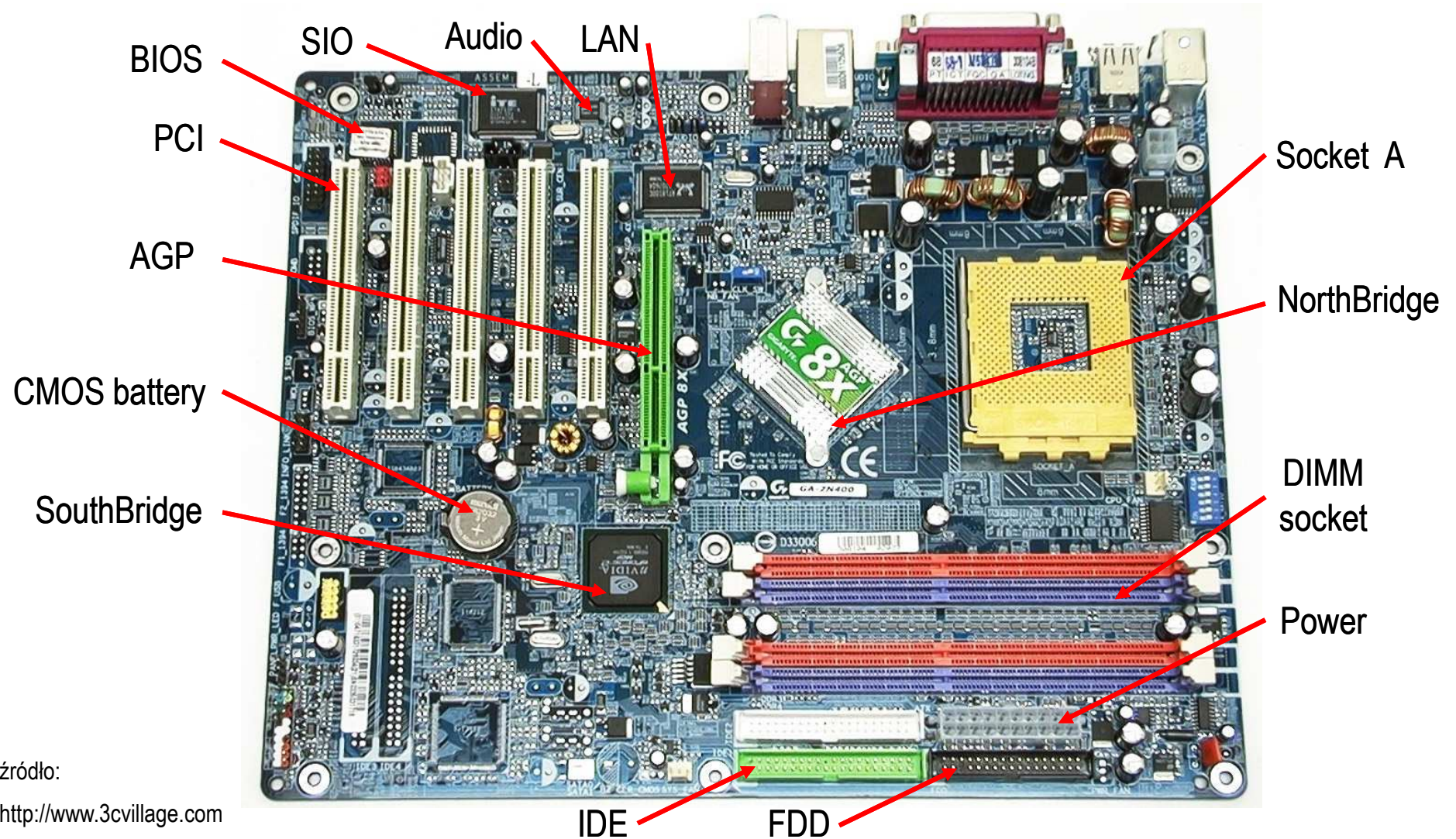
## Jednostka centralna



## Płyta główna (motherboard) - przykłady

Model	Gigabyte GA-7N400-L	Gigabyte GA-X58A-UD5	Gigabyte G1-Assassin 2
Rok	2003	2009	2011
Gniazdo	Socket A	Socket 1366	Socket 2011
Procesor	AMD Athlon, Athlon XP	Intel Core i7	Intel Core i7
Northbridge	nVIDIA nForce 2 Ultra 400	Intel X58 Express Chipset	Intel X79
Southbridge	nVIDIA nForce 2 MCP	Intel ICH10R	
Pamięć	4 x 184-pin DDR DIMM sockets, max. 3 GB	6 x 1.5V DDR3 DIMM sockets, max. 24 GB	4 x 1.5V DDR3 DIMM sockets, max. 32 GB
Format	ATX	ATX	ATX
Inne	AGP, 5 x PCI, 2 x IDE, FDD, LPT, 2 x COM, 6 x USB, IrDA, RJ45, 2 x PS/2	4 x PCIe x16, 2 x PCIe x1, PCI, 8 x SATA II 3 Gb/s, 2 x SATA II 6 Gb/s, 2 x eSATA, IDE, FDD, 2 x RJ45, 10 x USB 2.0, 2 x USB 3.0, 2 x PS/2	3 x PCIe x16, 2 x PCIe x1, PCI, 4 x SATA II 3 Gb/s, 4 x SATA III 6 Gb/s, 2 x eSATA, RJ45, 9 x USB 2.0, 3 x USB 3.0, PS/2

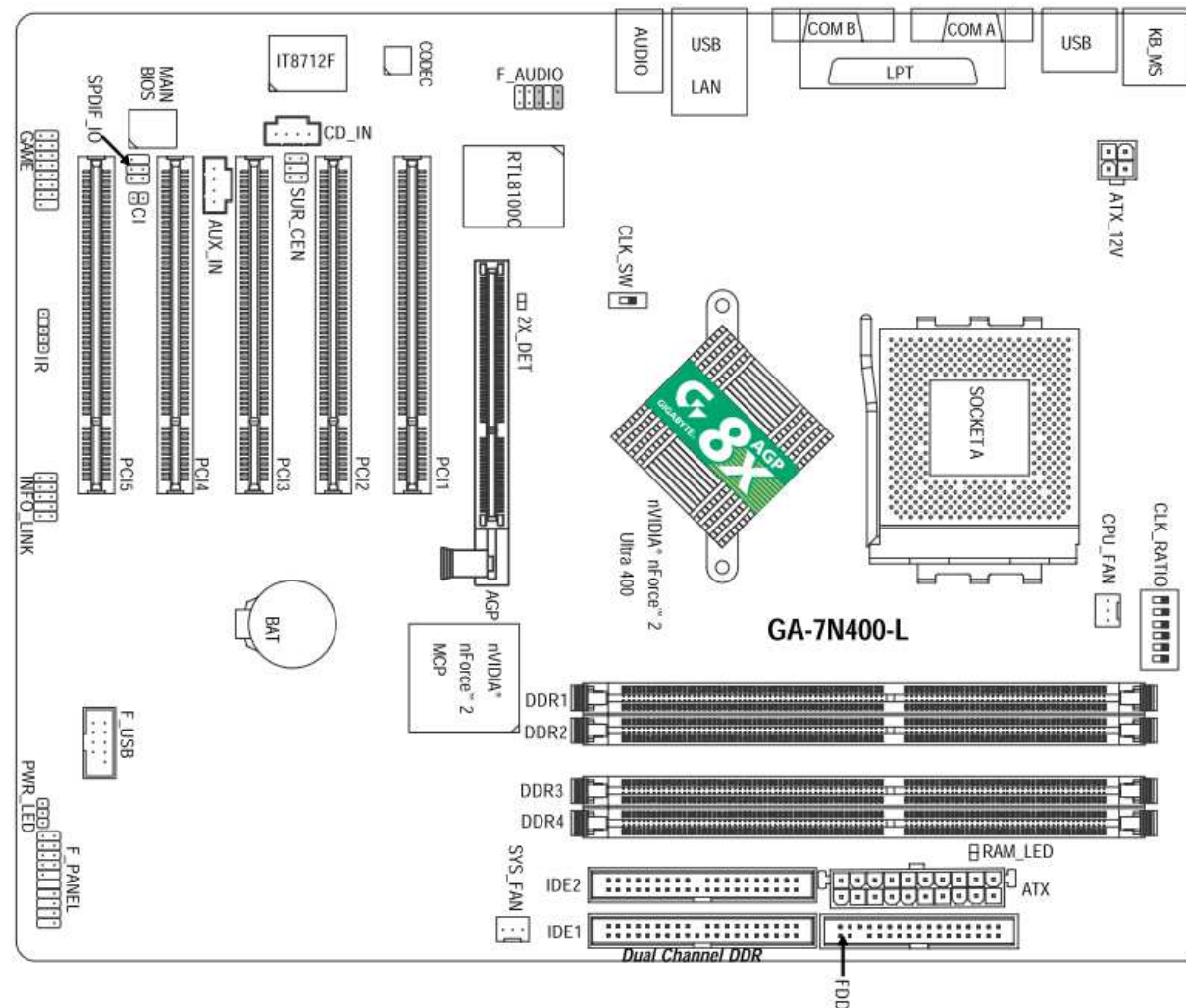
## Gigabyte GA-7N400-L



źródło:

<http://www.3cvillage.com>

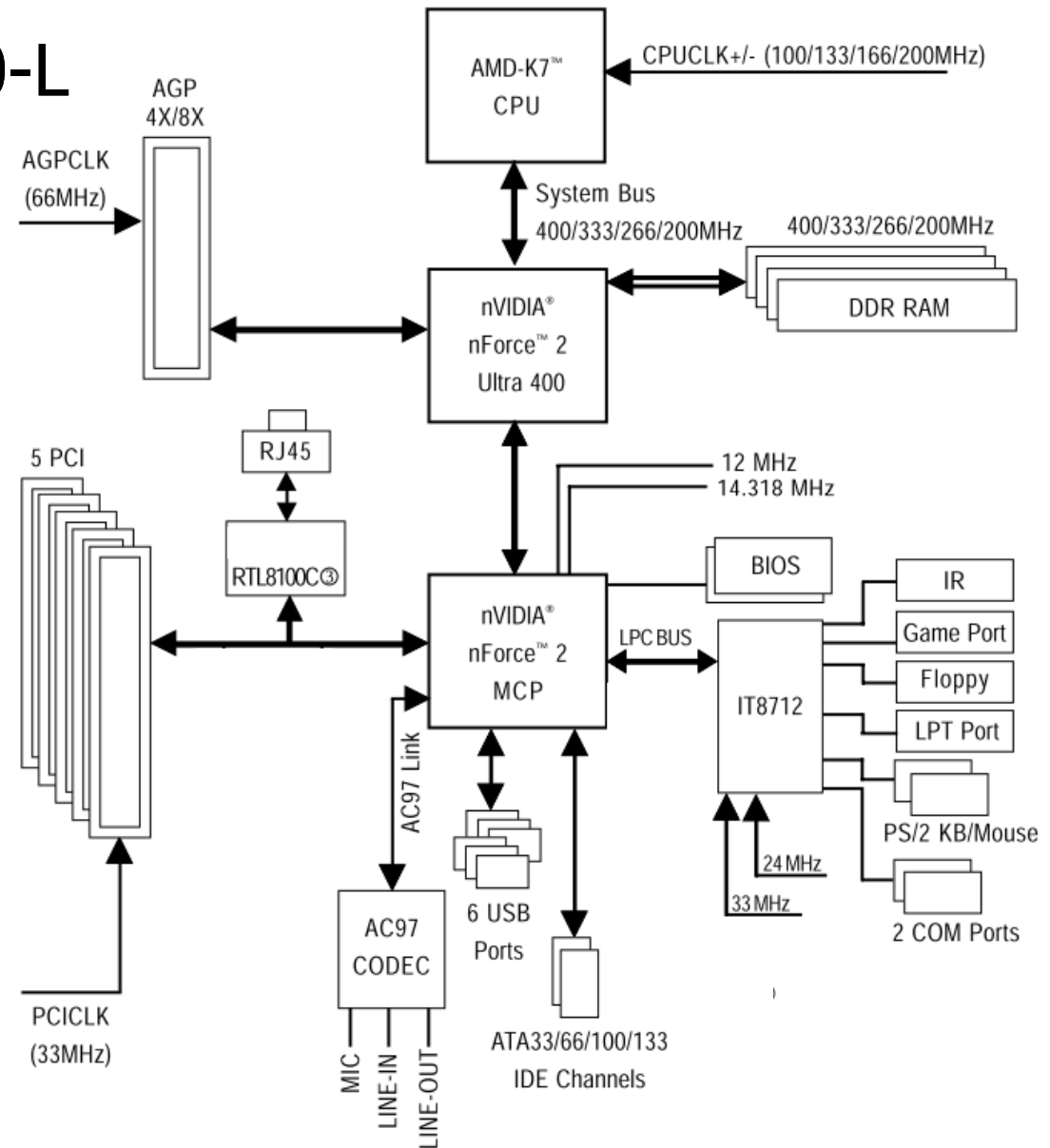
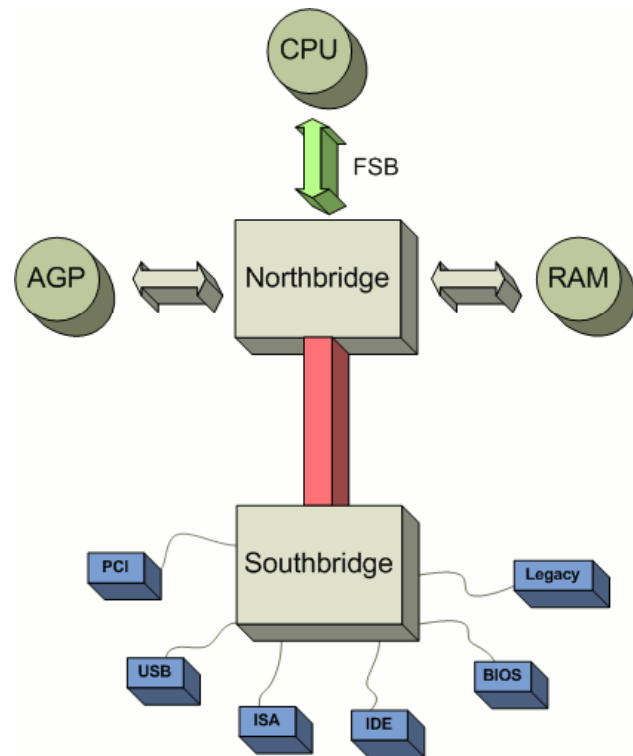
# Gigabyte GA-7N400-L



źródło:

GA-7N400 Pro2 / GA-7N400 /  
GA-7N400-L  
AMD Socket A  
Processor Motherboard  
User's Manual

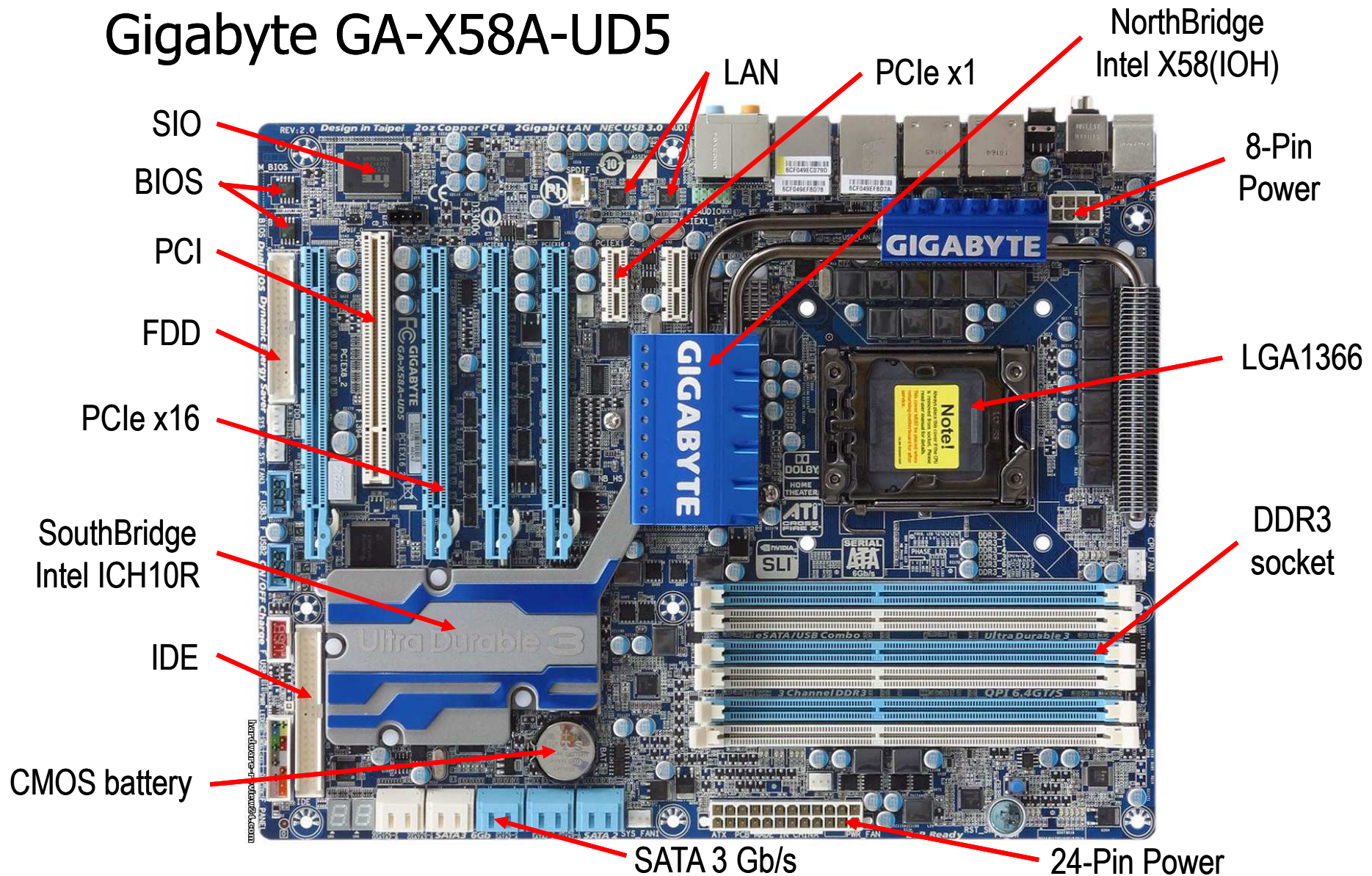
# Gigabyte GA-7N400-L



źródło:

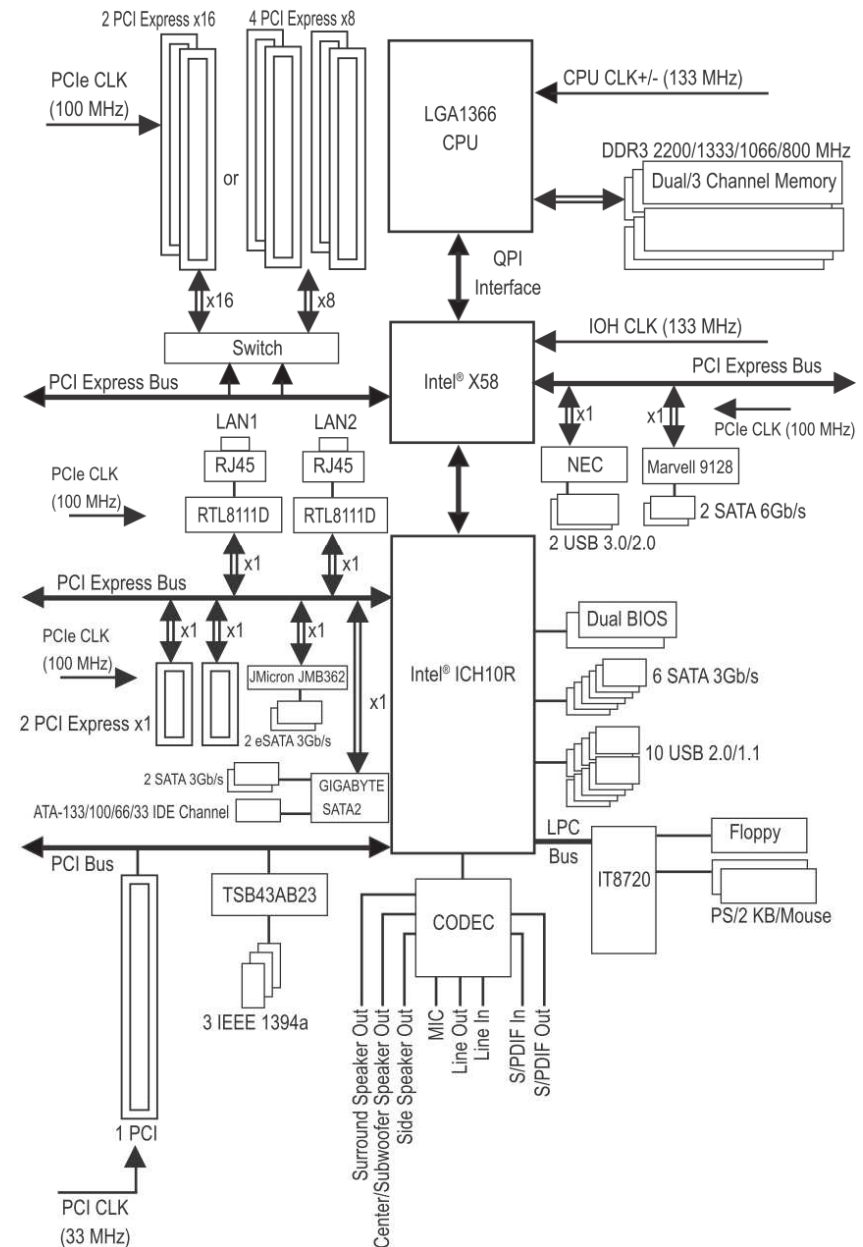
GA-7N400 Pro2 / GA-7N400 / GA-7N400-L  
AMD Socket A Processor Motherboard  
User's Manual

# Gigabyte GA-X58A-UD5





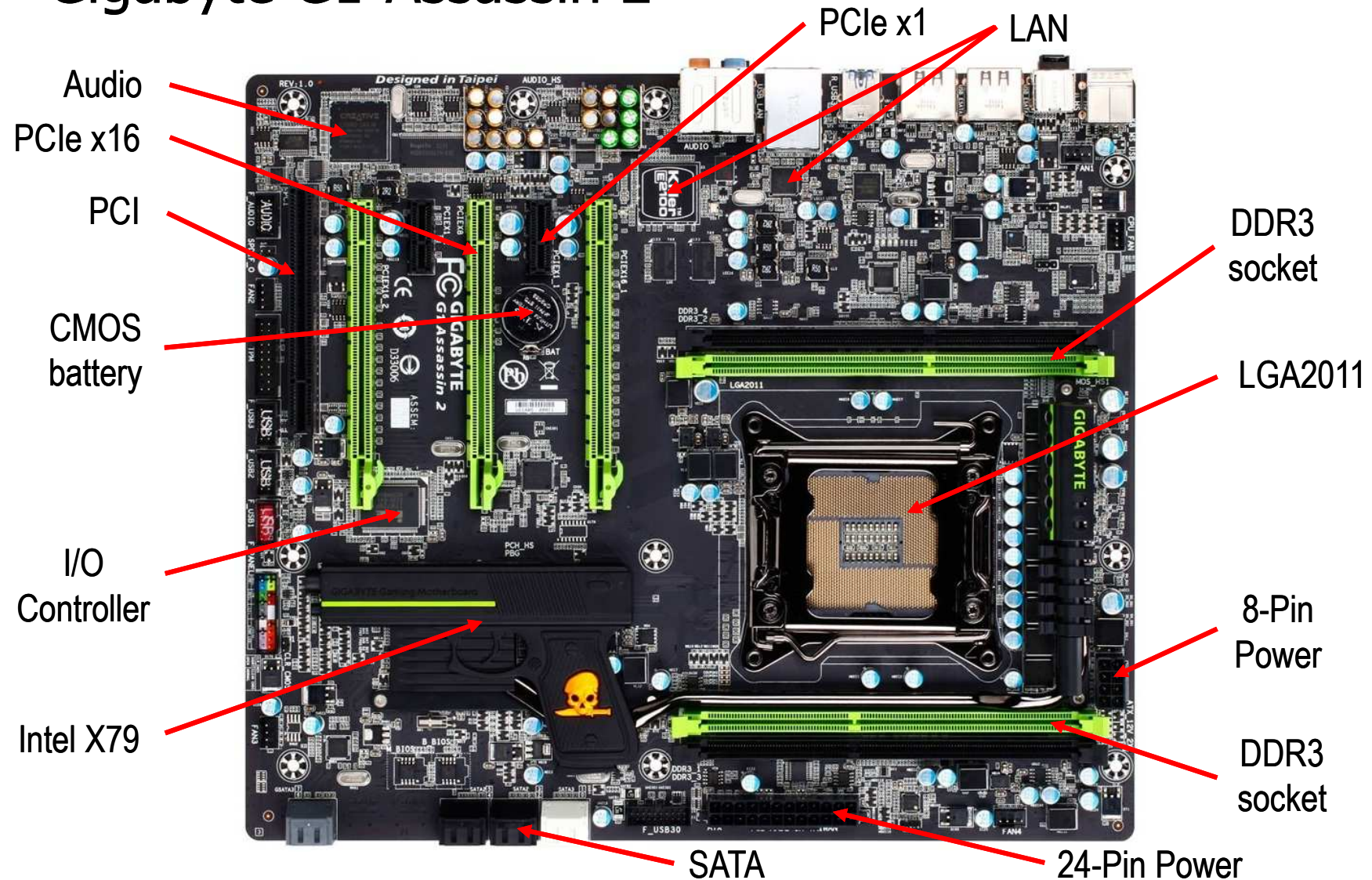
# Gigabyte GA-X58A-UD5



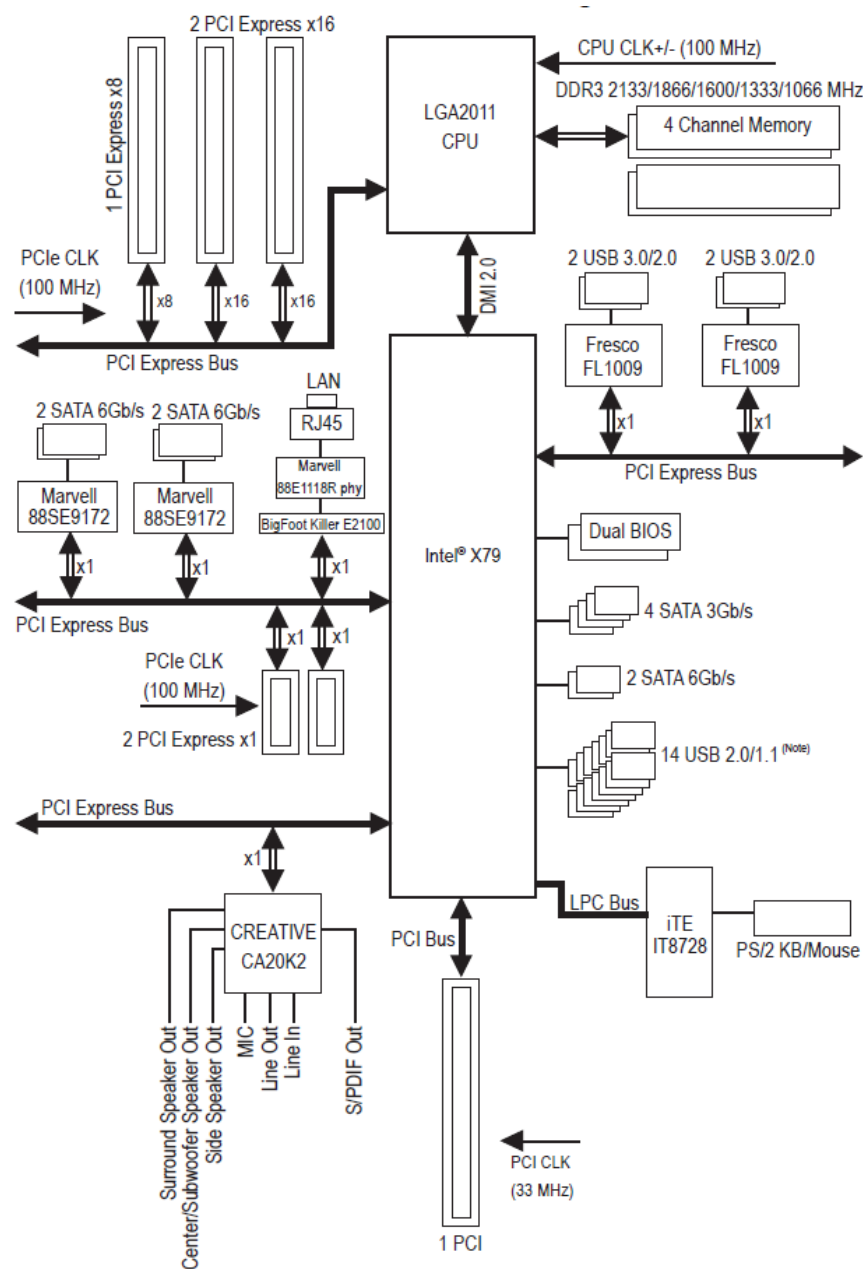
źródło:

GA-X58A-UD5  
LGA1366 socket motherboard for Intel® Core™ i7 processor family  
User's Manual

## Gigabyte G1-Assassin 2



# Gigabyte G1-Assassin 2



źródło:

Gigabyte G1.Assassin 2, User's Manual, Rev. 1001

## Płyty główne - standardy

Standard	Rok	Wymiary
AT	1984 (IBM)	12 × 11–13 in 305 × 279–330 mm
Baby-AT	1985 (IBM)	8.5 × 10–13 in 216 × 254–330 mm
ATX	1996 (Intel)	12 × 9.6 in 305 × 244 mm
Micro-ATX	1996	9.6 × 9.6 in 244 × 244 mm
Mini-ITX	2001 (VIA)	6.7 × 6.7 in 170 × 170 mm max.
Nano-ITX	2003 (VIA)	4.7 × 4.7 in 120 × 120 mm
Pico-ITX	2007 (VIA)	100 × 72 mm max.

## Płyty główne - standardy



Standard-ATX



Micro-ATX



Mini-ITX



Nano-ITX

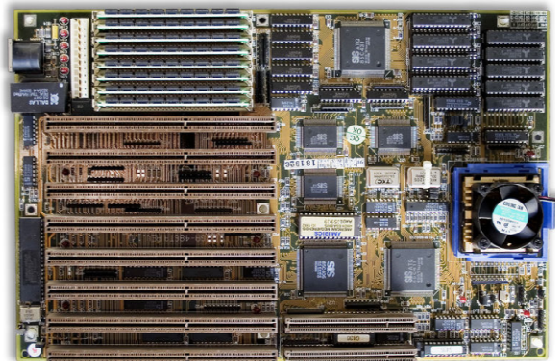


Pico-ITX

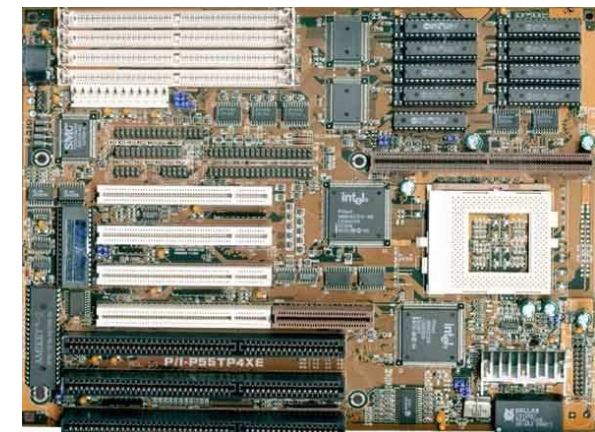
ATX (Advanced  
Technology Extended)

źródło:

<http://en.wikipedia.org>



Baby-AT



AT (Advanced Technology)

# Procesory Intel - mikroarchitektury

## ■ Mikroarchitektura - organizacja procesora

Proces	Mikroarchitektura	Nazwa kodowa	Data	Procesory
65 nm	P6, Netburst	Presler, Cedar Mill, Yonah	2006-01-05	Presler, Cedar Mill, Yonah
	Core	Merom	2006-07-27	Clovertown, Kentsfield, Conroe, Merom
45 nm		Penryn	2007-11-11	Harpertown, Yorkfield, Wolfdale, Penryn
	Nehalem	Nehalem	2008-11-17	Bloomfield, Lynnfield, Clarksfield
32 nm		Westmere	2010-01-04	Westmere-EX, -EP, Gulftown, Clarkdale
	Sandy Bridge	Sandy Bridge	2011-01-09	Sandy Bridge-EP, -E, -M, Sandy Bridge
22 nm		Ivy Bridge	2012-04-29	Ivy Bridge-EX, -EP, -E, -M, Ivy Bridge
	Haswell	Haswell	2013-06-02	Haswell-EX, -EP, -E, -DT, -MB, -LP
Broadwell		Broadwell	2014-09-05	Broadwell-EX, -EP, -E
	14 nm	Skylake	2015-08-05	Skylake-EX, -EP
Kaby Lake		Kaby Lake	2017-01-03	KabyLake-X
		Coffee Lake	2017-10-05	CoffeLake-DT/H
10 nm	Cannonlake	Cannonlake	2018	
		Icelake	2018 / 2019	
	Tigerlake	2019		

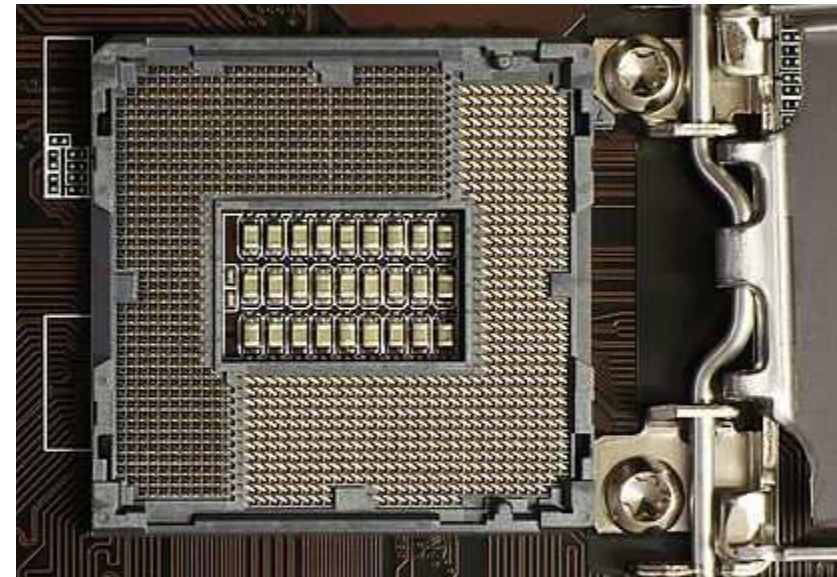
# Procesory Intel - mikroarchitektury

## ■ Mikroarchitektura - organizacja procesora

Proces	Mikroarchitektura	Nazwa kodowa	Nazwa marketingowa
65 nm	P6, Netburst	Presler, Cedar Mill, Yonah	Core, Pentium 4, Pentium D, Pentium M, Celeron, Xeon, ...
	Core	Merom	Core 2, Pentium Dual-Core, Pentium, Celeron Dual-Core, Celeron, Celeron M, Xeon
Penryn			
45 nm	Nehalem	Nehalem	Core i3, i5, i7, Pentium, Celeron, Xeon
		Westmere	
32 nm	Sandy Bridge	Sandy Bridge	Core i3, i5, i7 (2 gen.), Pentium, Celeron, Xeon
22 nm		Ivy Bridge	Core i3, i5, i7 (3 gen.), Pentium, Celeron, Xeon
	Haswell	Haswell	Core i3, i5, i7 (4 gen.), Pentium, Celeron, Xeon
14 nm		Skylake	Broadwell
	Skylake		Core i3, i5, i7 (6 gen.), Core M, Pentium, Celeron, Xeon
	Kaby Lake		Core i3, i5, i7, Celeron, Pentium, Xeon
	Coffee Lake		Core i3, i5, i7, i9, Celeron, Pentium Gold
10 nm	Icelake	Cannonlake	
		Icelake	
		Tigerlake	

## Procesory Intel - LGA 1150 (Socket H3)

- LGA (Land Grid Array) - na procesorze złączone, miedziane, płaskie styki, dociskane do pinów w gnieździe na płycie głównej
- czerwiec 2013 roku, liczba pinów: 1150
- procesory:
  - Haswell (22 nm): Celeron, Pentium, Core i3 / i5 / i7
  - Broadwell (14 nm): Core M, Celeron, Pentium, Core i3 / i5 / i7
- chipsety:
  - Haswell: H81, B85, Q85, Q87, H87, Z87
  - Broadwell: Z97, H97



LGA 1150

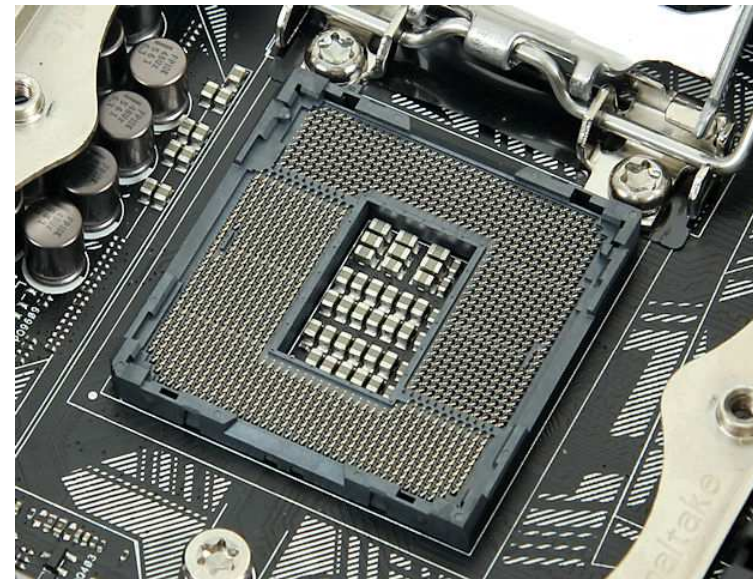


## Procesory Intel - LGA 1151 (Socket H4)

- sierpień 2015 roku, liczba pinów: 1151
- procesory Skylake (14 nm) i Kaby Lake (14 nm)
- wsparcie dla pamięci RAM: DDR4, DDR3(L)



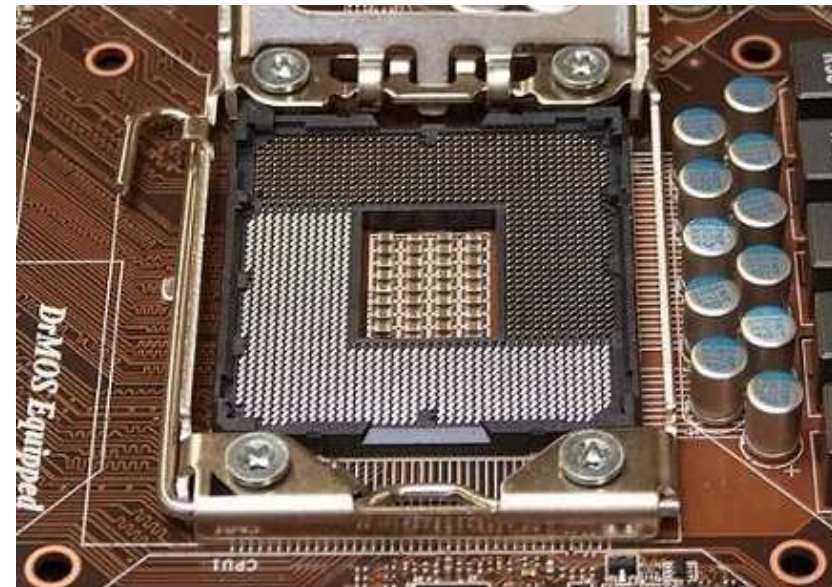
Core i7-6700K



LGA 1151

## Procesory Intel - LGA 2011 (Socket R)

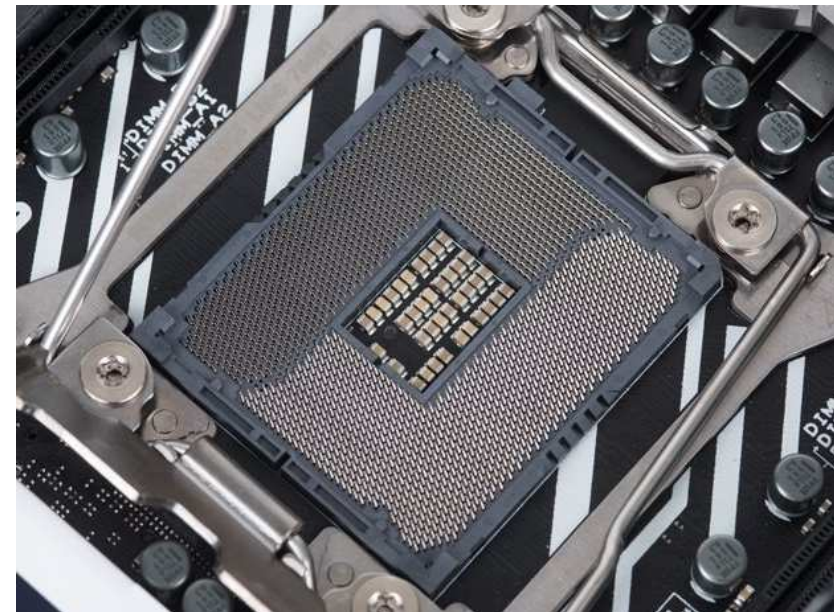
- listopad 2011 roku, liczba pinów: 2011
- procesory:
  - Sandy Bridge-E/EP (22 nm): Core i7, Xeon
  - Ivy Bridge-E/EP (14 nm): Core i7, Xeon
  - Haswell-E (22 nm): Core i7
- chipsety: Intel X79, X99
- 4-kanałowy kontroler pamięci
- PCI Express 3.0
- inne wersje:
  - LGA 2011-1 (luty 2014)
  - LGA 2011-v3 (sierpień 2014)



LGA 2011

## Procesory Intel - LGA 2066 (Socket R4)

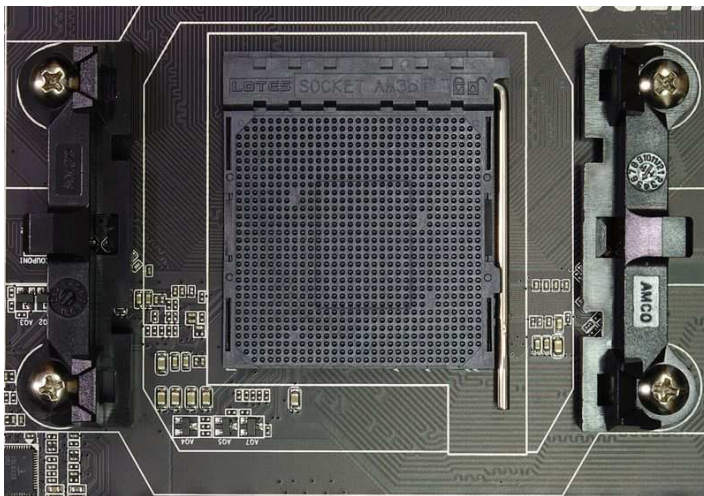
- czerwiec 2017, liczba pinów: 2066
- procesory:
  - Skylake-X
  - Kaby Lake-X
  - Skylake-SP
  - Cascade Lake-X
- chipsety: Intel X299



LGA 2066

## Procesory AMD - Socket AM3+

- PGA-ZIF - nóżki znajdują się na procesorze
- 2011 rok, liczba kontaktów: 942
- mikroarchitektura Bulldozer
- procesory: Athlon II, Phenom II, FX



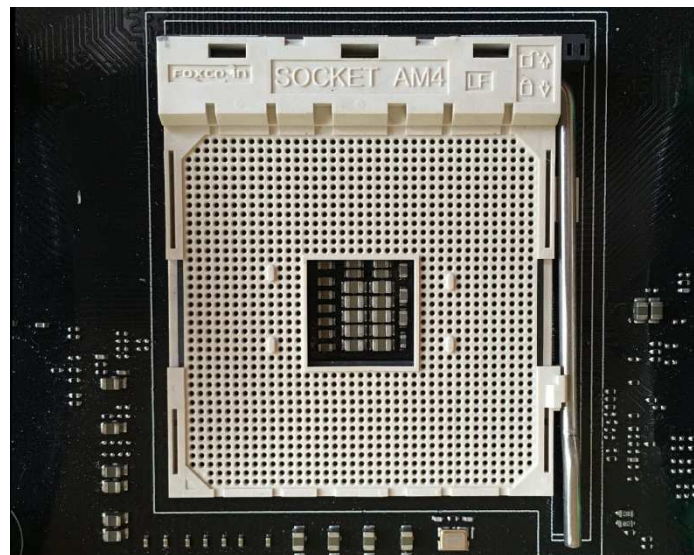
Socket AM3+



AMD Phenom II

## Procesory AMD - Socket AM4

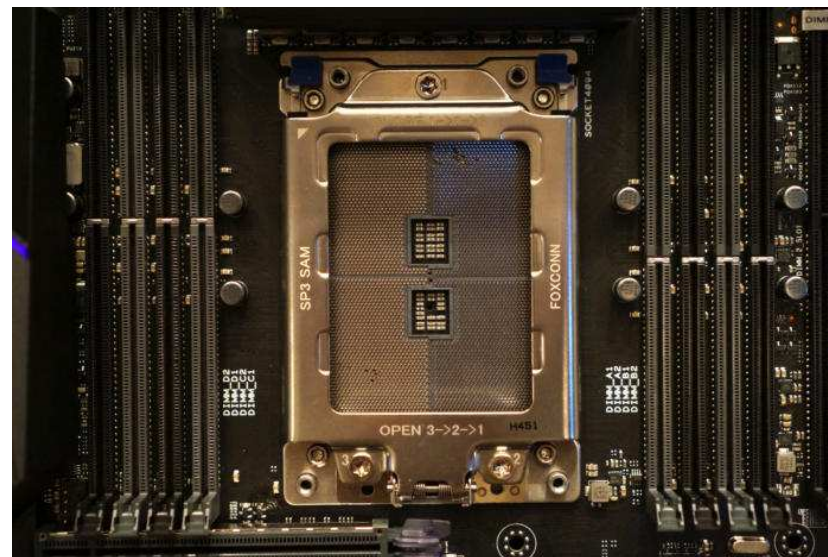
- 2017 rok, liczba kontaktów: 1331
- mikroarchitektura: Zen, Excavator
- obsługa: DDR4 Memory, PCIe Gen 3, USB 3.1 Gen2 10Gbps, NVMe
- procesory: Bristol Ridge, Summit Ridge, Raven Ridge



Socket AM4

## Procesory AMD - Socket TR4

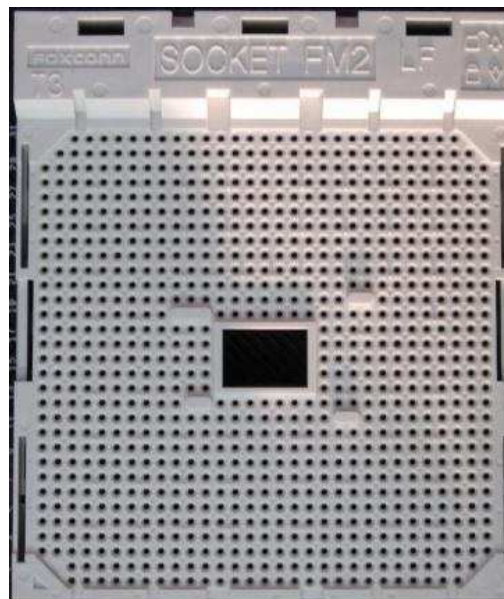
- 10 sierpnia 2017 r., liczba pinów: 4094
- inne nazwy: Socket Threadripper 4, Socket SP3r2
- procesory: Zen, Ryzen Threadripper
- pierwsza podstawka LGA przeznaczona na rynek konsumencki



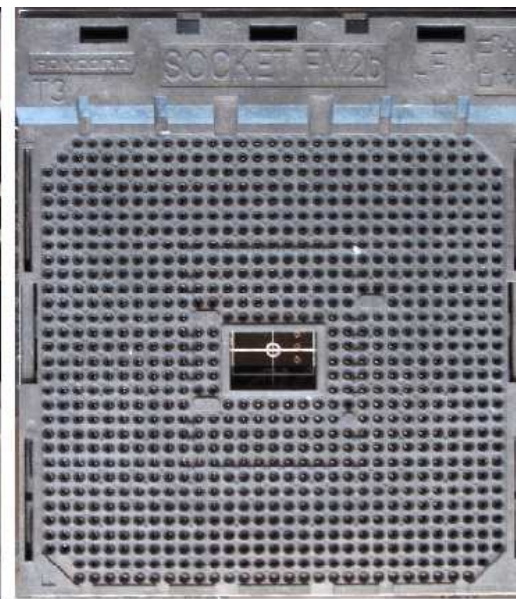
Socket AM4

## Procesory AMD - Socket FM2/FM2+

- FM2: wrzesień 2012, liczba kontaktów: 904, AMD Trinity
- FM2+: 2013, liczba kontaktów: 906, AMD Kaveri
- przeznaczenie: **APU** (Accelerated Processing Unit) drugiej generacji
- APU - połączenie tradycyjnego procesora x86 z proc. graficznym



Socket FM2



Socket FM2+

## Moduły pamięci

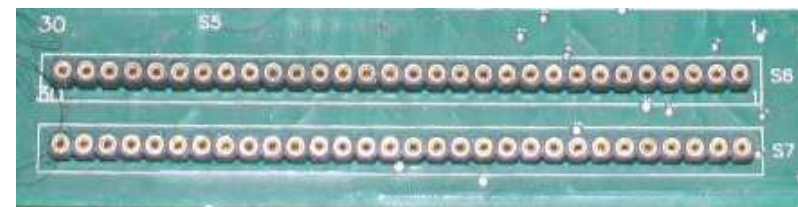
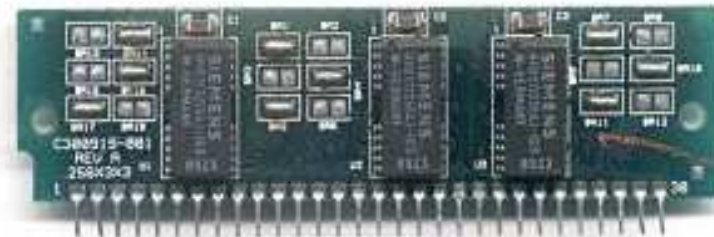
### DIP

- Dual In-line Package
- zastosowanie: XT, AT
- rok: 1981



### SIPP

- Single In-line Pin Package
- liczba pinów: 30
- zastosowanie: AT, 286, 386
- rok: 1983

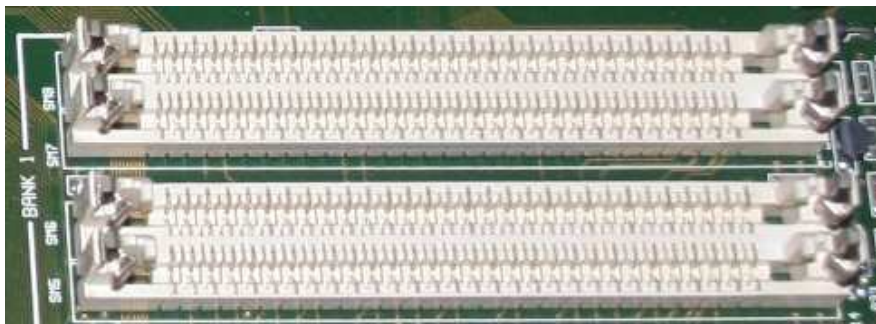




# Moduły pamięci

## SIMM (30-pins)

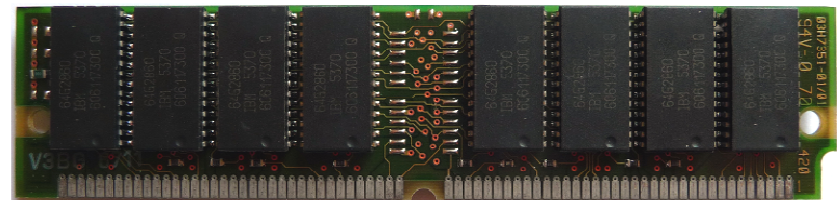
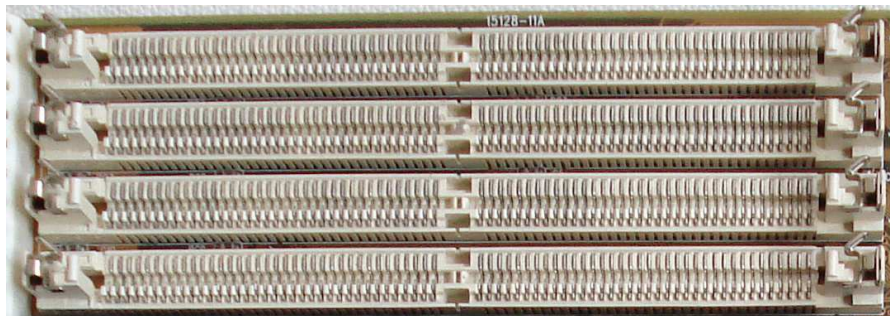
- Single Inline Memory Module
- liczba styków: 30 (te same styki po obu stronach modułu)
- pojemność: 256 KB, 1 MB, 4 MB, 16 MB
- zastosowanie: 286, 386, 486
- rok: 1994



# Moduły pamięci

## SIMM (72-pins)

- Single Inline Memory Module
- liczba styków: 72 (te same styki po obu stronach modułu)
- pojemność [MB]: 1, 2, 4, 8, 16, 32, 64, 128
- zastosowanie: 486, Pentium, AMD K5, AMD K6
- rok: 1996



# Moduły pamięci

## DIMM

- Dual In-Line Memory Module
- styki po przeciwnych stronach modułu mają inne znaczenie
- najczęściej stosowane moduły DIMM:
  - 72-pinowe, stosowane w SO-DIMM (32-bitowe)
  - 144-pinowe, stosowane w SO-DIMM (64-bitowe)
  - 168-pinowe, stosowane w SDR SDRAM
  - 184-pinowe, stosowane w DDR SDRAM
  - 240-pinowe, stosowane w DDR2 SDRAM
  - 240-pinowe, stosowane w DDR3 SDRAM
  - 288-pinowe, stosowane w DDR4 SDRAM

# Moduły pamięci

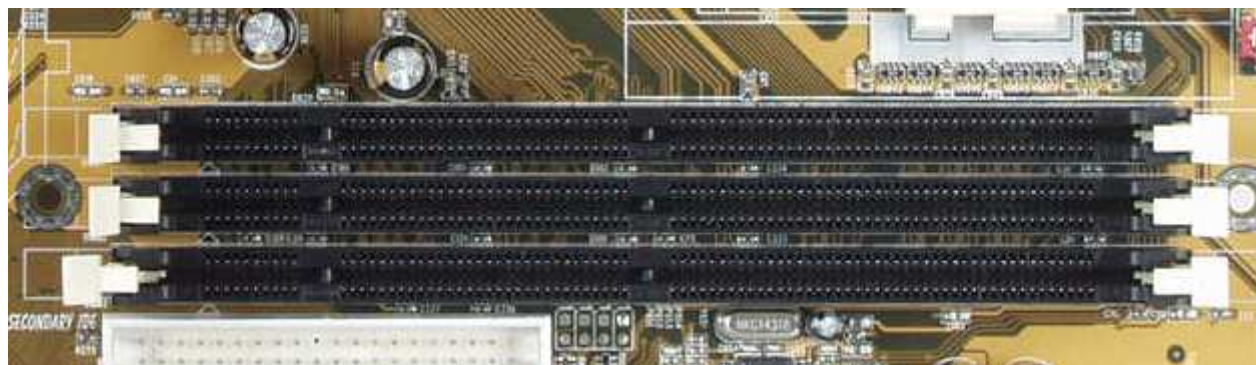
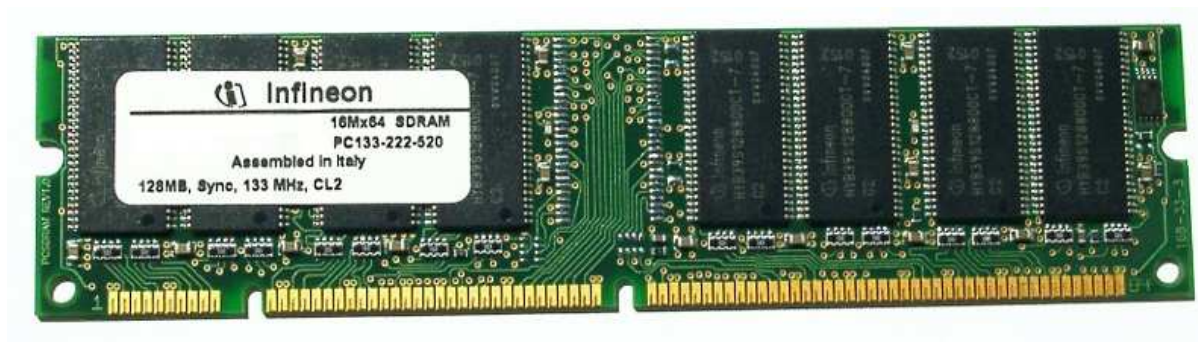
## SDR SDRAM

- Single Data Rate Synchronous Dynamic Random Access Memory
- liczba styków: 168
- pojemność [MB]: 16, 32, 64, 128, 256, 512
- zasilanie: 3,3 V
- zastosowanie: Pentium, Pentium II, Pentium III, Pentium IV  
Celeron, AMD K6

Oznaczenie	Częstotliwość	Przepustowość	Czas dostępu	Rok
PC66	66 MHz	533 MB/s	12-15 ns	1997
PC100	100 MHz	800 MB/s	8-10 ns	1998
PC133	133 MHz	1067 MB/s	7,5 ns	1999

# Moduły pamięci

## SDR SDRAM



# Moduły pamięci

## DDR SDRAM

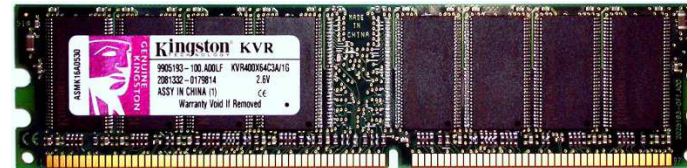
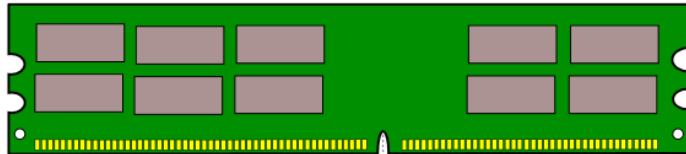
- Double Data Rate Synchronous Dynamic Random Access Memory

Typ	Piny	Zasilanie	Rok	Transfer
SDR	168	3,3 V	1997	0,8-1,3 GB/s
DDR	184	2,5 V	1999	2,1-3,2 GB/s
DDR2	240	1,8 V	2003	4,2-6,4 GB/s
DDR3 DDR3L DDR3U	240	1,5 V 1,35 V 1,2 V	2007/2009	8,5-14,9 GB/s
DDR4	288	1,2 V	2014	17-21,3 GB/s

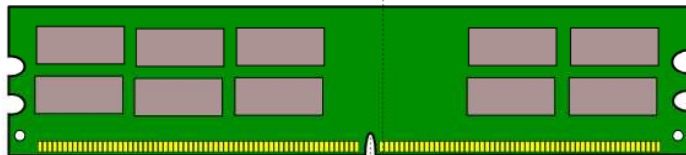
- DDR przesyła 2 bity w ciągu jednego taktu zegara
- DDR2 przesyła 4 bity w ciągu jednego taktu zegara

# Moduły pamięci DDR - porównanie

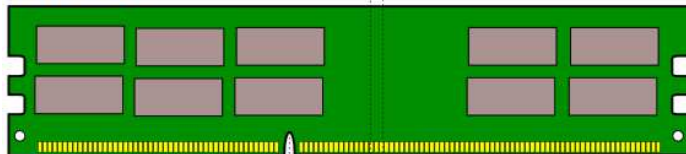
DDR



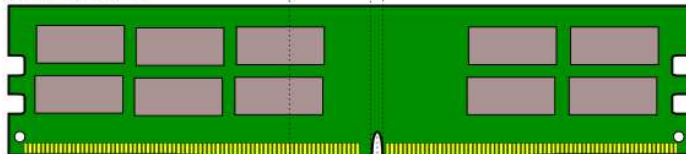
DDR 2



DDR 3



DDR 4



źródło: <http://en.wikipedia.org>

# Moduły pamięci

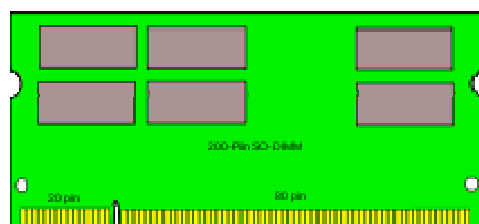
## SO-DIMM

- Small Outline Dual In-line Memory Module
- stosowane głównie w laptopach, drukarkach, ruterach
- najczęściej stosowane moduły:
  - 72-pinowe (32-bitowe)
  - 100-pinowe
  - 144-pinowe (64-bitowe)
  - 200-pinowe pamięci DDR SDRAM i DDR-II SDRAM
  - 204-pinowe DDR3
  - 260-pinowe DDR4

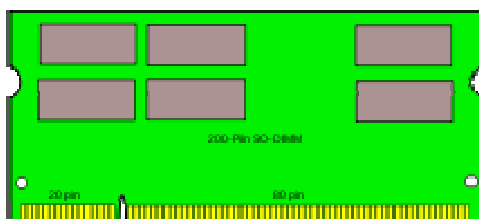


## Moduły pamięci SO-DIMM - porównanie

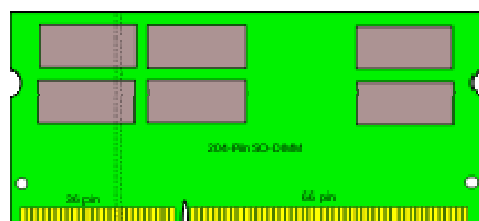
SO-DIMM DDR



SO-DIMM DDR 2



SO-DIMM DDR 3



## Obudowa komputera - podział (wymiary, kształt)



Desktop



Mini-ITX



Mini tower



Midi tower

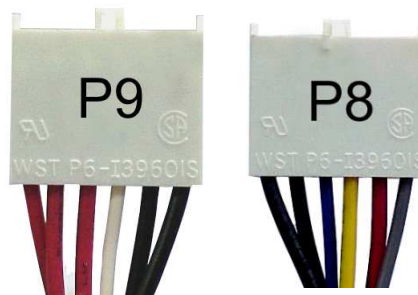


Big tower

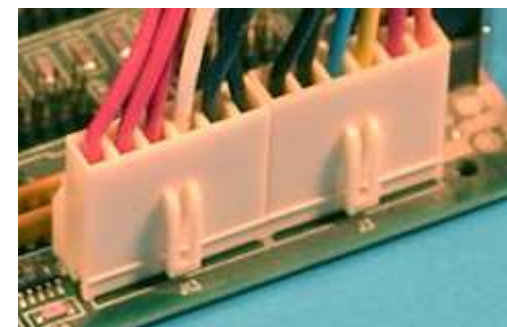
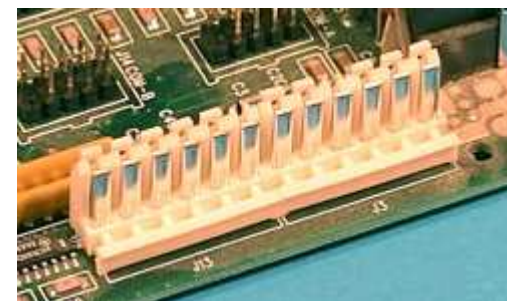
## Obudowa komputera - architektura AT



Zasilacz AT



P9/P8 connectors



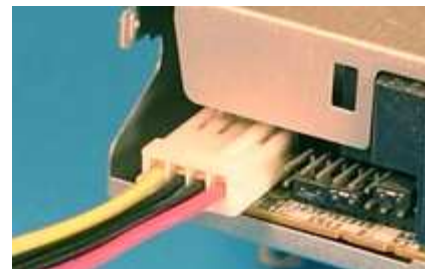
źródło:

<http://www.playtool.com/pages/psuconnectors/connectors.html>

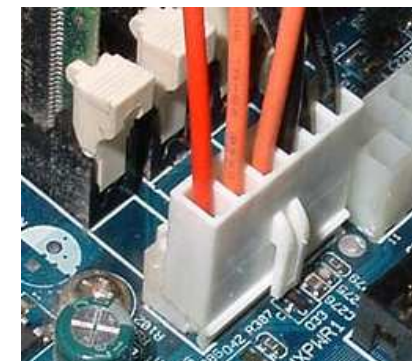
## Obudowa komputera - architektura AT



4-pin Molex connector



4-pin Berg connectors

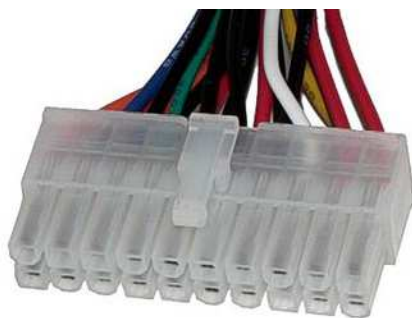


6-pin Auxiliary  
Power Connector

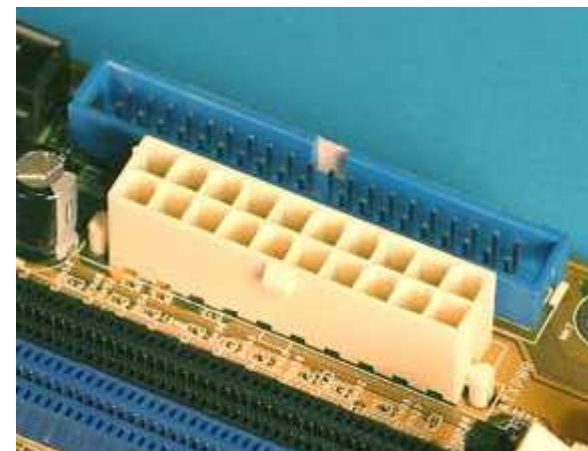
## Obudowa komputera - architektura ATX



Zasilacz ATX



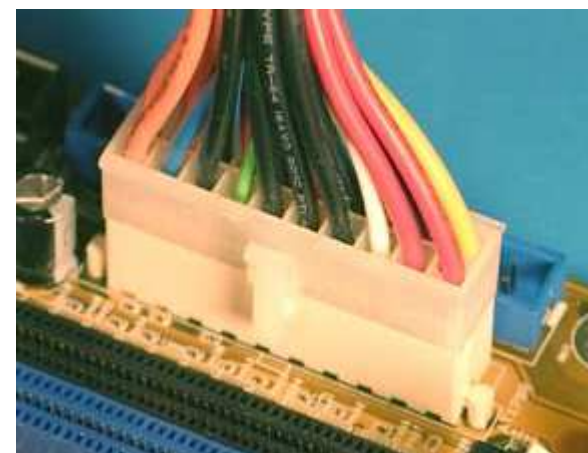
20-pin ATX power  
connector



Złącze 20-pinowe  
można włożyć do  
gniazda 24-pinowego

źródło:

[http://www.playtool.com/pages/  
psuconnectors/connectors.html](http://www.playtool.com/pages/psuconnectors/connectors.html)



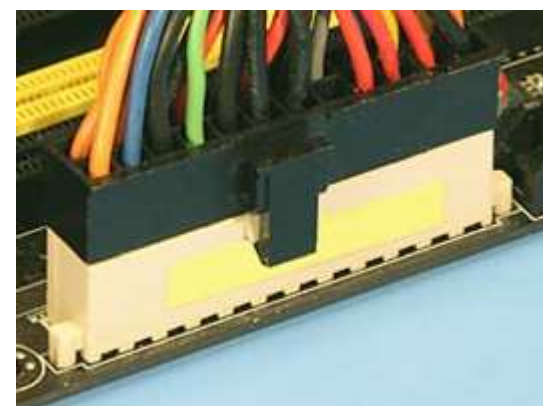
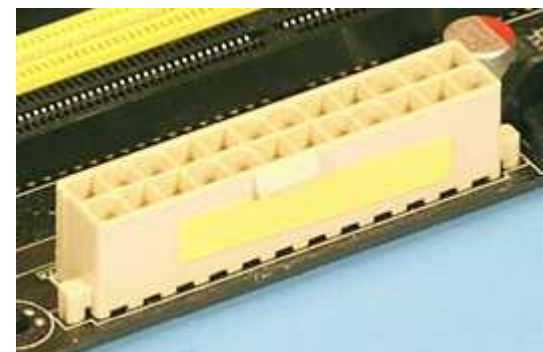
## Obudowa komputera - architektura ATX



Zasilacz ATX



24-pin ATX power connector



Złącze 24-pinowe  
można włożyć do  
gniazda 20-pinowego

źródło:

<http://www.playtool.com/pages/psuconnectors/connectors.html>



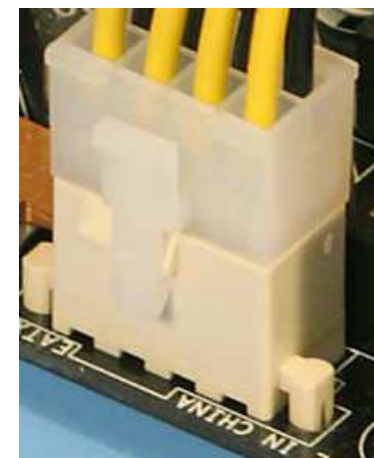
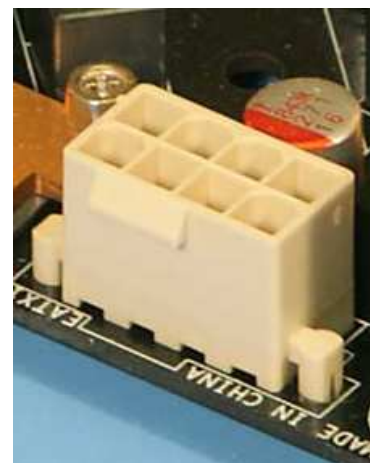
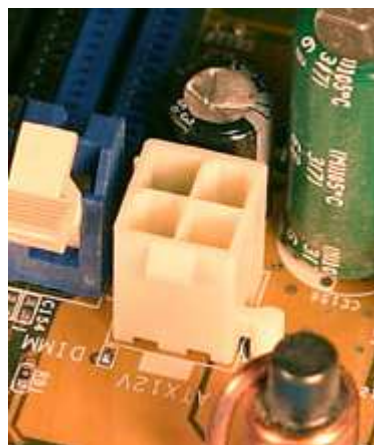
## Obudowa komputera - architektura ATX



4-pin ATX 12 V



8-pin ATX 12 V



## Obudowa komputera - architektura ATX



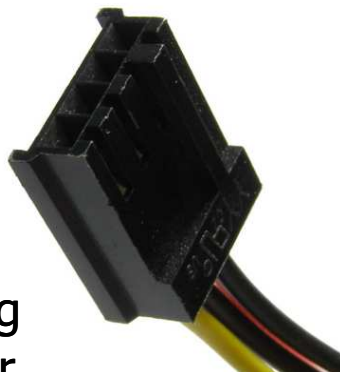
6-pin PCI Express



8-pin PCI Express



Serial ATA power connector



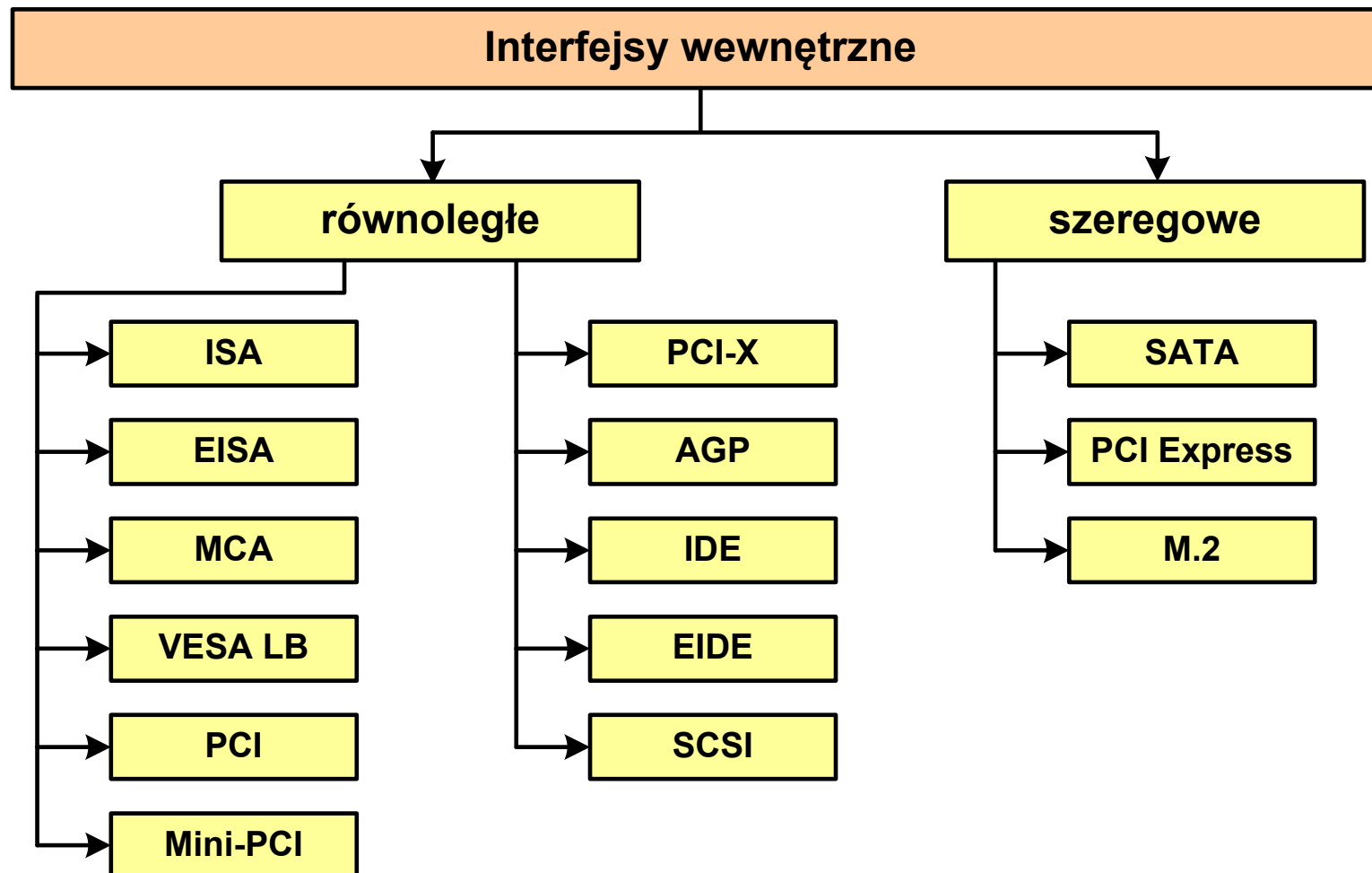
4-pin Berg connector



4-pin Molex connector



# Interfejsy sprzętowe komputera



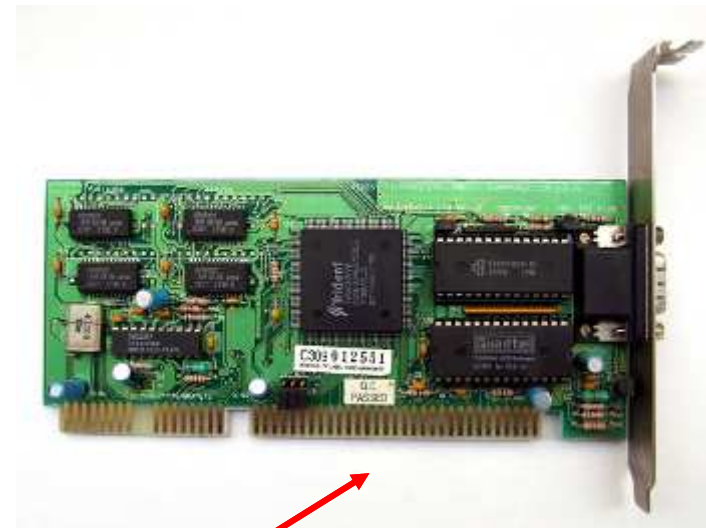
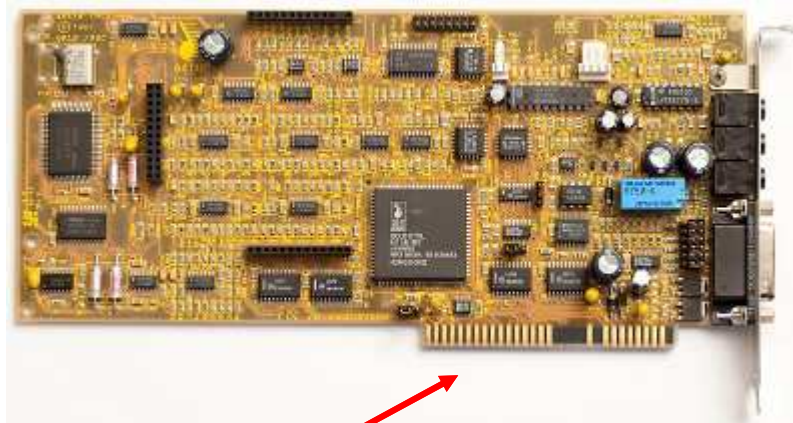
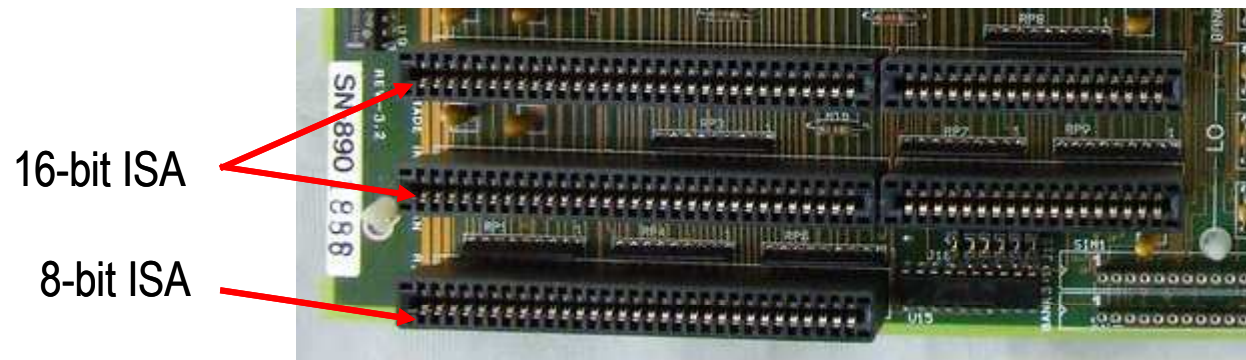
# ISA

(wewnętrzny, równoległy)

- **ISA** - Industry Standard Architecture
- standard magistrali oraz złącza kart rozszerzeń
- 8-bit ISA (1981 rok), 16-bit ISA (1984 rok)
- 8-bitowa (XT) i 16-bitowa (AT) szyna danych
- 24-bitowa szyna adresowa
- teoretyczna przepustowość: 8 Mb/s (praktycznie: 1,6-1,8 Mb/s)
- stosowana w:
  - kartach graficznych
  - kartach muzycznych
  - kartach sieciowych
  - kontrolerach I/O

# ISA

(wewnętrzny, równoległy)

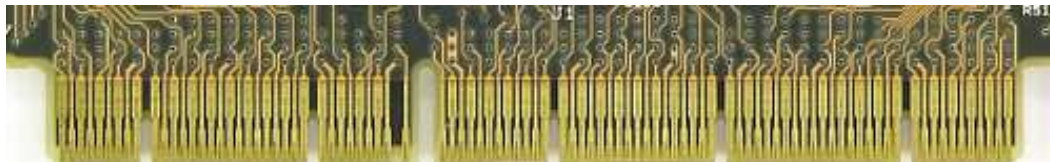


# EISA

(wewnętrzny, równoległy)

- **EISA** - Extended Industry Standard Architecture
- standard magistrali oraz złącza kart rozszerzeń zaprojektowany dla 32-bitowych komputerów 80386
- przepustowość: 33 MB/s
- rzadko spotykana

EISA



ISA

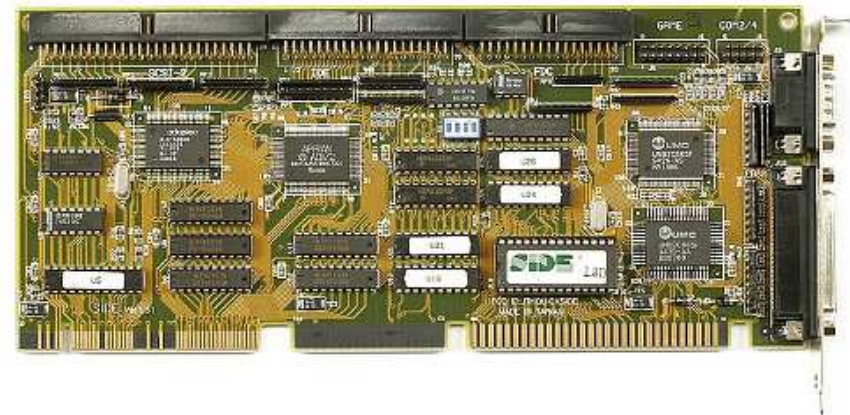


## VESA Local Bus (wewnętrzny, równoległy)

- **VESA Local Bus** - Video Electronics Standards Association Local Bus
- opracowana w 1992 r. szyna danych będąca rozszerzeniem standardowego 8/16-bitowego interfejsu ISA
- złącze wykorzystywane przez karty graficzne, muzyczne i I/O
- używane na płytach z procesorem 80486



Płyta główna ze złączami VESA Local Bus



Multi-I/O-Controller

# PCI

(wewnętrzny, równoległy)

- **PCI** - Peripheral Component Interconnect
- magistrala komunikacyjna przeznaczona do przyłączenia kart rozszerzeń do płyty głównej w komputerach PC
- zastąpiła magistrale ISA i VESA Local Bus
- używana w kartach graficznych, muzycznych, sieciowych, kontrolerów dysków

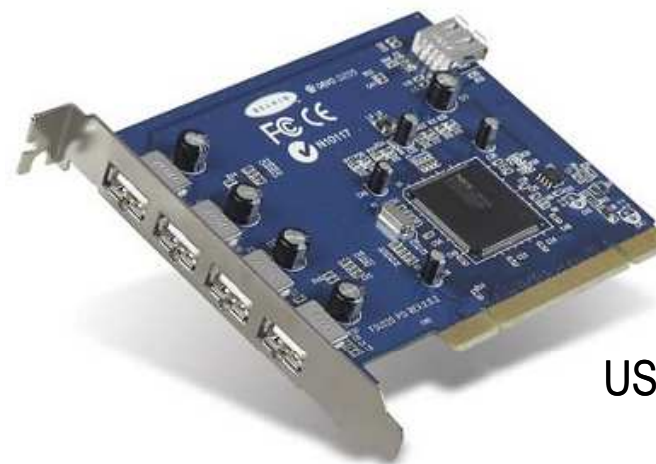
Wersja	PCI 2.0	PCI 2.1	PCI 2.2	PCI 2.3
Rok	1993	1994	1999	2002
Max. szerokość szyny danych	32 bity	64 bity	64 bity	64 bity
Max. częstotliwość taktowania	33 MHz	66 MHz	66 MHz	66 MHz
Max. przepustowość	132 MB/s	528 MB/s	528 MB/s	528 MB/s
Napięcie	5 V	5 V	5 / 3,3 V	3,3 V

## PCI

(wewnętrzny, równoległy)



Płyta główna z gniazdami 32-bitowej szyny PCI



USB 2.0 5-Port  
PCI Card

nVIDIA GeForce  
MX4000 Video Card



## AGP (wewnętrzny, równoległy)

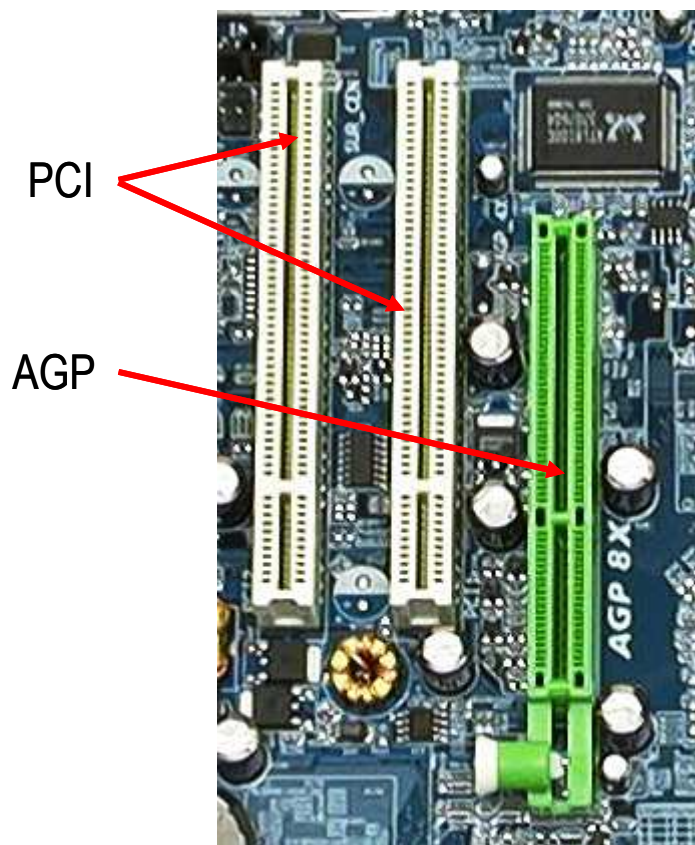
- **AGP** - Accelerated / Advanced Graphics Port
- opracowana w 1996 r. przez firmę Intel
- 32-bitowa modyfikacja magistrali PCI zoptymalizowana do szybkiego przesyłania dużej ilości danych pomiędzy pamięcią operacyjną a kartą graficzną
- maksymalna moc pobierana przez kartę AGP to 35-40 W
- przy większym zapotrzebowaniu na energię doprowadza się dodatkowe zasilanie (złącze Molex)

Wersja	Rok	Napięcie	Mnożniki / Przepustowość
AGP 1.0	1996	3,3 V	1x - 267 MB/s, 2x - 533 MB/s
AGP 2.0	1998	1,5 V	1x - 267 MB/s, 2x - 533 MB/s, 4x - 1067 MB/s
AGP 3.0	2002	0,8 V	4x - 1067 MB/s, 8x - 2133 MB/s



# AGP

(wewnętrzny, równoległy)



# IDE

(wewnętrzny, równoległy)

- **IDE** - Intelligent Drive Electronics, Integrated Device Electronics
- inne nazwy:
  - ATA - Advanced Technology Attachments
  - AT-BUS
  - PATA - Parallel ATA
- interfejs przeznaczony do komunikacji z dyskami twardymi
- w systemie tym, w przeciwieństwie do poprzedniego ST412/506, kontroler jest zintegrowany z dyskiem
- dyski komunikują się z szynami systemowymi za pośrednictwem host-adaptera umieszczonego na płycie głównej lub dodatkowej karcie rozszerzającej (starsze systemy)
- IDE dopuszczał obsługę do dwóch dysków twardych (Master i Slave) o maksymalnej pojemności 504 MB (dziesiętnie 528 MB)

## IDE

(wewnętrzny, równoległy)

- maksymalna długość przewodu łączącego dysk z host adapterem wynosiła 18 cali, czyli ok. 46 cm
- przewód ten miał trzy wtyki - kontroler, urządzenie Master i Slave
- żadne przewody nie były krzyżowane, dlatego fizyczna kolejność urządzeń na magistrali nie odgrywała żadnej roli



40-żyłowa  
taśma IDE



# EIDE

(wewnętrzny, równoległy)

- **EIDE** - Enhanced IDE
- EIDE miał usunąć ograniczenia standardu IDE, zapewniając przy tym pełną z nim zgodność
- opracowano różne wersja standardu EIDE:
  - ATA-2 (1994 r.)
  - ATA-3 (1996 r.)
  - ATA/ATAPI-4 (1997 r.) - możliwość podłączenia innych urządzeń niż dysk twardy - streamer, CD-ROM
  - ATA-ATAPI-5 (2000 r.)
  - ATA-ATAPI-6
- EIDE umożliwia obsługę dwóch host-adapterów (Primary, Secondary), czyli podłączenie do czterech urządzeń

## EIDE

(wewnętrzny, równoległy)

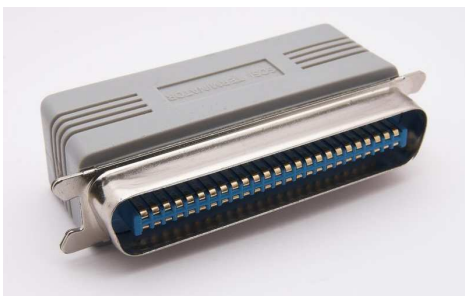
- Problem ograniczenia pojemności dysków standardu IDE do 504 MB został rozwiązany na dwa sposoby:
  - adresowanie CHS (ang. Cylinder, Head, Sector)
  - adresowanie LBA (ang. Logical Block Addressing)
- Zwiększenie pasma przepustowego magistrali osiągnięto przez zastosowanie trybów pracy:
  - Ultra DMA/33 (Ultra-ATA) - przewód 40-żyłowy,
  - Ultra DMA/66 - 40 przewodów sygnałowych, ale przewód 80-żyłowy - każdy przewód sygnałowy oddzielony jest od sąsiada dodatkową linią masy, poszczególne wtyki przewodu opisane są i oznaczone różnymi kolorami: kontroler - niebieski, Master - czarny, Slave - szary,
  - Ultra ATA/100
  - Ultra ATA/133



# SCSI

(wewnętrzny, równoległy)

- **SCSI** - Small Computer Systems Interface
- równoległa magistrala danych przeznaczona do przesyłania danych między urządzeniami (dyski twarde, skanery, drukarki, nagrywarki)
- wykorzystywana głównie w wysokiej klasy serwerach i stacjach roboczych
- magistrala wymaga zakończenia jej terminatorem



Wersja	Przepustowość	Rok
SCSI-1	5 MB/s	1986
SCSI-2 (Fast SCSI)	10 MB/s	1994
SCSI-2 (Wide SCSI)	20 MB/s	1994
SCSI-3 (Ultra SCSI)	20-40 MB/s	1996
Ultra2 SCSI	40-80 MB/s	1997
Ultra3 SCSI (Ultra 160 SCSI)	160 MB/s	1999
Ultra4 SCSI (Ultra 320 SCSI)	320 MB/s	2002
Ultra 640 SCSI	640 MB/s	2003

# SCSI

(wewnętrzny, równoległy)



Kontroler SCSI



Kabel  
SCSI

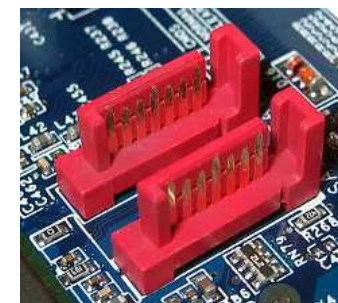


Skaner ze  
złączem  
SCSI

# Serial ATA (wewnętrzny, szeregowy)

- **Serial ATA** - Serial Advanced Technology Attachment, SATA
- szeregową magistralę służącą do komunikacji Host Bus Adaptera z urządzeniami pamięci masowej (dyski twarde, napędy optyczne)
- zastąpiła równoległą magistralę ATA
- węższe i dłuższe (do 1 m) przewody niż w ATA
- 7-pinowa wtyczka sygnałowa
- 15-pinowa wtyczka zasilania

Generacja	Przepustowość
SATA I	1,5 Gbit/s (ok. 150 MB/s)
SATA II	3,0 Gbit/s (ok. 300 MB/s)
SATA III (3.0)	6,0 Gbit/s (ok. 600 MB/s)
SATA III (3.2)	16,0 Gbit/s (ok. 1969 MB/s)





## PCI Express

(wewnętrzny, szeregowy)

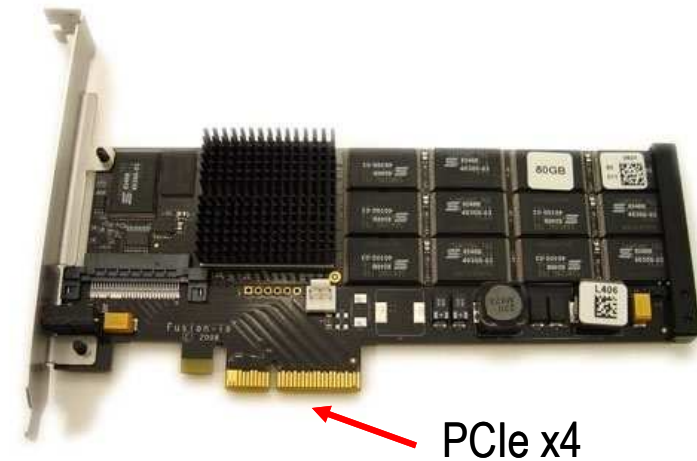
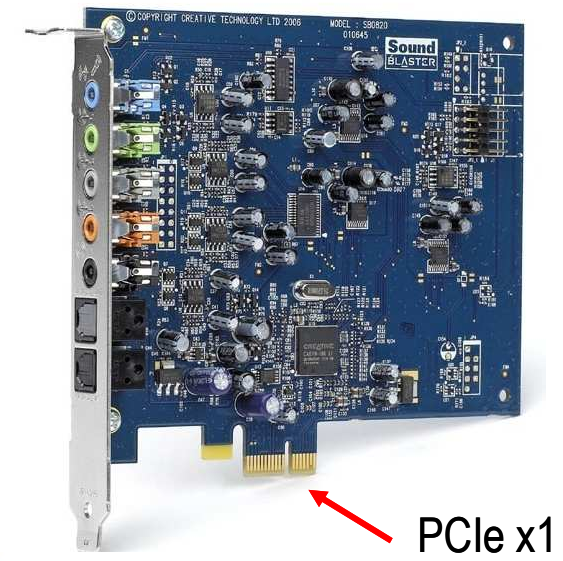
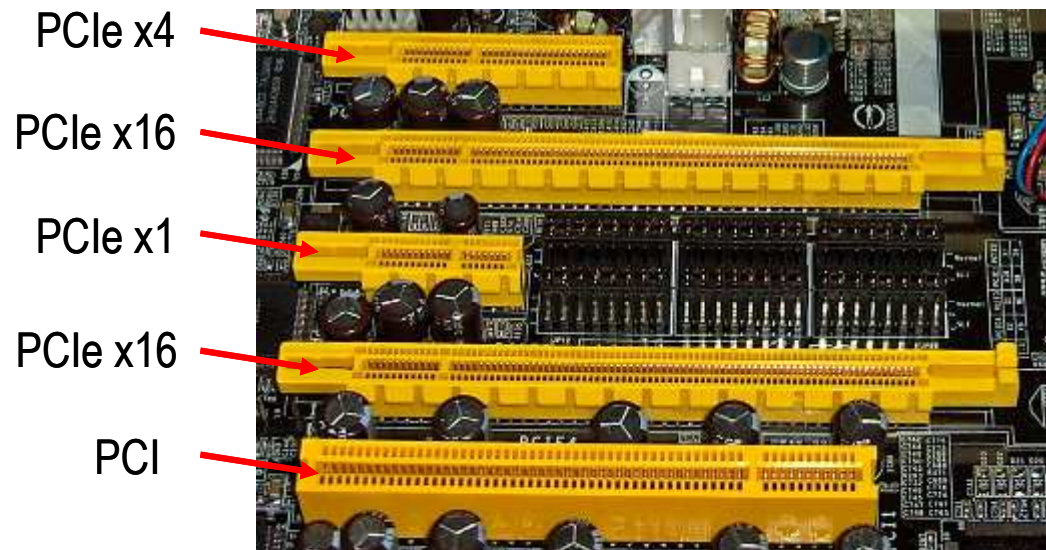
- **PCI Express** - Peripheral Component Interconnect Express, PCIe
- złącze przeznaczone do instalacji kart rozszerzeń na płycie głównej (graficzne, muzyczne, sieciowe, kontrolery IDE, SATA, USB)
- każde urządzenie jest połączone bezpośrednio z kontrolerem
- PCI Express zastąpił PCI i AGP
- jeśli podłączona karta wymaga więcej energii to jest zasilana przez dodatkowy przewód

Wersja	Wersja	Piny	Przepustowość	Max. moc	Rok
v1.0	x1	2x18	500 MB/s	75 W	2004
	x4	2x32	2000 MB/s		
	x8	2x49	4000 MB/s		
	x16	2x82	8000 MB/s		
v2.0	x16	2x82	16000 MB/s	150 W	2007
v3.0	x16	2x82	32000 MB/s	300 W	2011

uwaga: Przepustowość - przepustowość w obie strony

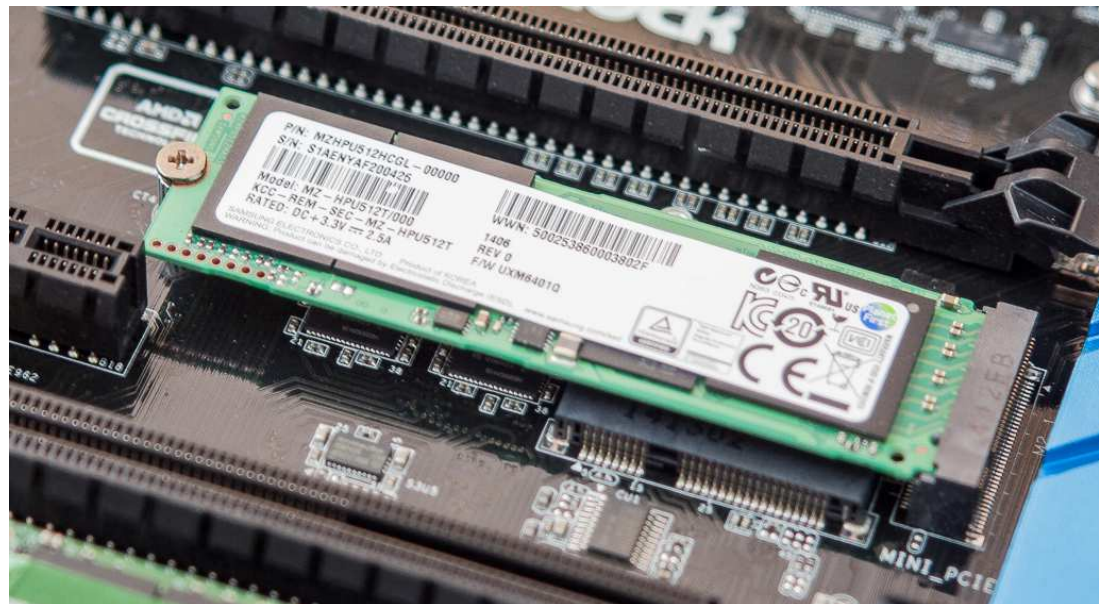
# PCI Express

(wewnętrzny, szeregowy)



## M.2 (wewnętrzny, szeregowy)

- inna nazwa: NGFF - Next Generation Form Factor
- złącze kart rozszerzeń zastępujące interfejs mSATA
- prędkość transmisji do 2 GB/s



Koniec wykładu nr 5

**Dziękuję za uwagę!**  
(następny wykład: 28.05.2018)